

PAT-NO: JP410223913A
DOCUMENT-IDENTIFIER: JP 10223913 A
TITLE: MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUBN-DATE: August 21, 1998

INVENTOR-INFORMATION:

NAME	COUNTRY
MIYASAKA, MITSUTOSHI	
TAMASU, RITORU	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP N/A	

APPL-NO: JP10065894
APPL-DATE: March 16, 1998

INT-CL H01L029/786 , H01L021/336 , H01L021/20 , H01L021/205 ,
(IPC): H01L021/324 , H01L021/316

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a high-quality silicon film by growing crystals in an amorphous silicon film after a second silicon oxide film is formed on a first silicon oxide film formed on the amorphous silicon film with oxygen plasma by the low-pressure CVD method.

SOLUTION: After a resist is formed on an amorphous silicon thin film 805, the thin film 806 is left at a position which becomes a channel section in course of time by patterning the resist with mixed plasma. After natural oxide films are removed by cleaning a substrate with nitric acid, etc., a silicon oxide film 808 which becomes part of a gate insulating layer is obtained by oxidizing the thin film 806 with oxygen plasma 807. Then a silicon oxide film 810 which becomes the gate insulating layer is deposited while the same vacuum

-- condition is maintained and heat treatment is performed. By the heat treatment, the amorphous silicon thin film 809 left under the silicon oxide film 806 is crystallized and transformed into a silicon thin film 811.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223913

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 7 V

21/336

21/20

21/20

21/205

21/205

21/324

X

21/324

21/316

X

審査請求 有 請求項の数 9 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願平10-65894
(62) 分割の表示 特願平3-293328の分割
(22) 出願日 平成3年(1991)11月8日

(31) 優先権主張番号 特願平2-310477
(32) 優先日 平2(1990)11月16日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平3-76406
(32) 優先日 平3(1991)4月9日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平3-235098
(32) 優先日 平3(1991)9月13日
(33) 優先権主張国 日本 (J P)

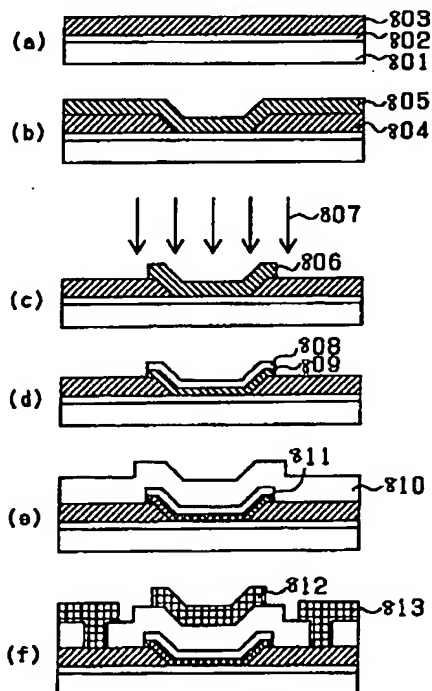
(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 宮坂 光敏
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 タマス リトル
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 薄膜半導体装置の製造方法

(57) 【要約】

【課題】 良好なトランジスタ特性を有する薄膜半導体装置の製造方法を提供する。

【解決手段】 チャネルの厚さが500オングストローム以下でありゲート絶縁膜が2層からなり、チャネルに近いゲート絶縁膜の屈折率が電極に近いゲート絶縁膜の屈折率よりも大きいことを特徴とする。



【特許請求の範囲】

【請求項1】少なくとも表面が絶縁性物質で有る基板の一方面上にチャンネル部シリコン膜半導体層を形成し、該半導体層上にゲート絶縁層、ゲート電極を形成したMIS型電界効果トランジスタを構成する薄膜半導体装置に於いて、絶縁性物質上にチャンネル部シリコン膜半導体層を構成するシリコン膜を堆積する工程と、前記シリコン膜が形成された基板を600℃以下の温度で熱処理する工程と、チャンネル部シリコン膜半導体層上に形成されるゲート絶縁層を電子サイクロtron共鳴プラズマCVD法に依り形成する工程を含む事を特徴とする薄膜半導体装置の製造方法。

【請求項2】チャンネル部シリコン膜半導体層の膜厚が500Å以下である請求項1記載の薄膜半導体装置及びその製造方法。

【請求項3】少なくとも表面が絶縁性物質で有る基板の一方面上に形成されたチャンネル領域とソース領域及びドレイン領域とゲート絶縁層を介して該チャンネル領域に対向する様に形成されたゲート電極から成るMIS型電界効果トランジスタにて、ソース領域或いはドレイン領域の少なくともどちらか一方の領域がゲート絶縁層を介してゲート電極と重なり合っていない構造を有する薄膜半導体装置に於いて、チャンネル部シリコン膜半導体層を構成するシリコン膜を堆積する工程と、ソース領域及びドレイン領域を形成する工程と、前記チャンネル領域及びソース領域・ドレイン領域が形成された基板を600℃以下の温度で熱処理する工程を含む事を特徴とする薄膜半導体装置の製造方法。

【請求項4】少なくとも表面が絶縁性物質である基板の一方面上にチャンネル部シリコン膜半導体層を形成し、該半導体層上にゲート絶縁層、ゲート電極を形成したMIS型電界効果トランジスタを構成する薄膜半導体装置に於いて、絶縁性物質上にチャンネル部シリコン膜半導体層を構成するアモルファス・シリコン膜を堆積した後、該アモルファス・シリコン膜上にゲート絶縁層を形成する前に、該アモルファス・シリコン膜上に酸素プラズマを照射する工程と、前記酸素プラズマ照射された基板を600℃以下の温度で熱処理する工程を含む事を特徴とする薄膜半導体装置の製造方法。

【請求項5】少なくとも表面が絶縁性物質で有る基板上に形成されたシリコン膜に於いて、該シリコン膜は600℃以下の熱処理を施されて居り、かつ該シリコン膜の一部は電子サイクロtron共鳴プラズマCVD法に依り形成された酸化珪素膜で被覆されている事を特徴とするシリコン膜。

【請求項6】下記工程を含む事を特徴としたドナー又は

アクセプターとなる不純物を含んでいることを特徴とするシリコン膜。

(1)シリコン膜を堆積する工程と、前記シリコン膜が形成された基板を600℃以下の温度で熱処理する工程。

(2)上記工程を経た後、酸化珪素膜を形成する工程。

(3)上記工程を経た後、ドナー又はアクセプターとなる不純物を、該不純物元素の水素化物と水素の混合物を原料ガスとして、バケットタイプの質量非分離型のイオン注入装置を用いて、前記シリコン膜に打ち込む工程。

【請求項7】酸化珪素膜を電子サイクロtron共鳴プラズマCVD法に依り形成する事を特徴とする請求項6記載のシリコン膜。

【請求項8】少なくとも表面が絶縁性物質で有る基板の一方面上にチャンネル部シリコン膜半導体層を形成し、該半導体層上にゲート絶縁層、ゲート電極を形成したMIS型電界効果トランジスタを構成する薄膜半導体装置に於いて、下記工程を含む事を特徴とした薄膜半導体装置の製造方法。

(1)絶縁性物質上にシリコン膜を堆積する工程と、前記シリコン膜が形成された基板を600℃以下の温度で熱処理する工程。

(2)上記工程を経た後、ゲート絶縁層を形成する工程。

(3)上記工程を経た後、後にチャンネル領域と化す部位を覆うようにゲート電極を該ゲート絶縁膜上に形成する工程。

(4)上記工程を経た後、ゲート電極をマスクとしてドナー又はアクセプターとなる不純物を、該不純物元素の水素化物と水素の混合物を原料ガスとして、バケットタイプの質量非分離型のイオン注入装置を用いて打ち込む事に依り、ソース領域及びドレイン領域を形成する工程。

【請求項9】ゲート絶縁層を電子サイクロtron共鳴プラズマCVD法に依り形成する事を特徴とする請求項8記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリックス液晶ディスプレイ等に応用される薄膜トランジスタや三次元LSIデバイスなど、絶縁性物質上に作成される薄膜半導体装置と、その製造方法及びシリコン膜に関するもので有り、詳しくは製造工程の最高温度が600℃程度以下の低温プロセスで形成する薄膜半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、液晶ディスプレイの大画面化、高解像度化に伴い、その駆動方式は単純マトリックス方式からアクティブマトリックス方式へ移行し、大容量の情報を表示出来るように成りつつ有る。アクティブマトリ

ックス方式は数十万を越える画素を有する液晶ディスプレイが可能で有り、各画素毎にスイッチングトランジスタを形成するもので有る。各種液晶ディスプレイの基板としては、透過型ディスプレイを可能ならしめる溶融石英板やガラスなどの透明絶縁基板が使用されている。

【0003】しかしながら、表示画面の拡大化や低価格化を進める場合には絶縁基板として安価な通常ガラスを使用するのが必要不可欠で有る。従って、この経済性を維持して尚、アクティブマトリックス方式の液晶ディスプレイを動作させる薄膜トランジスタを安価なガラス基板上に安定した性能で形成する事が可能な技術が望まれていた。

【0004】薄膜トランジスタのチャンネル部半導体層としては、通常アモルファス・シリコンや多結晶シリコンが用いられているが、駆動回路迄一体化して薄膜トランジスタで形成しようとする場合には動作速度の速い多結晶シリコンが有利である。

【0005】従来この様な薄膜トランジスタを作成する場合、チャンネル部シリコン層を形成した後、ゲート絶縁層を形成するには基板を酸素(O_2)、笑気ガス(N_2O)、水蒸気(H_2O)などを含む酸化性雰囲気下に挿入し、その温度を800℃から1100℃程度の高温としてチャンネル部シリコン層の一部を酸化し、ゲート絶縁層を形成する熱酸化法が用いられていた。一方、多結晶シリコンを用いた薄膜半導体装置を安価な通常ガラス基板の使用に耐え得る600℃程度以下の工程最高温度で作成するのに種々の方法が試みられている。例えば、チャンネル部半導体層を減圧気相化学堆積法(LPCVD法)で形成した後、ゲート絶縁膜を電子サイクロトロン共振プラズマCVD法(ECR-PECVD法)に依り形成し、更に水素プラズマ照射などの水素化処理を施す方法。或いはチャンネル部半導体層にアモルファス・シリコン薄膜を堆積し、その後600℃、24時間程度の熱処理を施し、次に常圧気相化学堆積法(APCVD法)にてゲート絶縁膜を形成し、水素化処理を行う方法などがある。(Japanese J, Appl, Phys, 30L 84 '91)

【0006】

【発明が解決しようとする課題】しかしながら、先に述べた従来の方法に於いては、数多くの問題が指摘されている。まず第一に熱酸化法に依る SiO_2 膜の形成では、その形成に少なくとも800℃以上の高温熱処理が伴う為、酸化膜より下部に位置する薄膜層や基板などの耐熱性が問題となる。例えば大面積液晶ディスプレイのスイッチング・トランジスタを作成する場合、基板としては非常に高価な溶融石英板以外はこの様な高温に耐え得ない。又、三次元LSI素子に於いても下層部トランジスタが高温で劣化する為、この熱酸化法は事実上使用不可能となっている。

【0007】次にチャンネル部半導体層をLPCVD法

で形成し、ゲート絶縁膜をECR-PECVD法に依り形成し、更に水素プラズマ処理を行う方法に於いては移動度が $4\sim 5cm^2/V\cdot sec$ と低く、薄膜半導体装置として未だ不十分で有る。加えて薄膜半導体装置の特性を向上させる為に行われている水素化処理に依り、薄膜半導体装置を構成する各種薄膜の一部がエッチングされて沢山有る薄膜半導体装置の幾つかが破壊されて仕舞うと言った問題がある。又、チャンネル部半導体層にアモルファス・シリコン薄膜を堆積し、その後600℃程度の熱処理を施し、APCVD法にてゲート絶縁膜を形成し、更に水素プラズマ照射等の水素化処理を行う方法に於いては、界面捕獲単位が 10^{12} 程度と大きく、又デプレッション型の半導体装置特性を示すなど、薄膜半導体装置として未だ不十分で有る。又、先と同様矢張り水素化処理に伴う問題が残る、大面積に均一且つ安定的に薄膜半導体装置を作成する事が出来なかった。

【0008】従って、薄膜半導体装置としては移動度が大きく、同時に清浄MOS界面を有して界面捕獲単位が低く、且つデプレッションを呈さぬ物が求められて居り、しかもこうした薄膜半導体装置を作成する工程で水素化処理の必要が無く、先述の如き良好な薄膜半導体装置を大面積に均一且つ安定的に作成する製造方法が求められていた。

【0009】本発明は上記の事情に鑑みてなされた物で、その目的とする所はMIS型薄膜半導体装置に於いて、工程最高温度が600℃程度以下と言う低温工程で良好な半導体装置特性を有する薄膜半導体装置と、この様な薄膜半導体装置を大面積に渡り均一且つ安定的に製造する方法を提供する事に有る。

【0010】

【課題を解決するための手段】上記目的は、少なくとも表面が絶縁性物質で有る基板の一方面上にチャンネル部シリコン膜半導体層を形成し、該半導体層上にゲート絶縁層、ゲート電極を形成したMIS型電界効果トランジスタを構成する薄膜半導体装置に於いて、チャンネル部シリコン膜半導体層を構成するシリコン膜を堆積した後、600℃以下の温度で熱処理する工程と、ゲート絶縁膜をECR-PECVD法で形成する工程を含む様な製造方法、或いはチャンネル部シリコン膜半導体層を構成するアモルファス・シリコン膜を堆積した後、ゲート絶縁層を形成する前に該アモルファス・シリコン膜上に酸素プラズマを照射し、その後600℃以下の温度で熱処理する様な工程を含む製造方法に依り達成される。

【0011】

【実施例】

(実施例1)以下本発明の実施例を図面を用いて詳述するが、本発明が以下の実施例に限定されるものではない。

【0012】図1(a)～(e)は本実施例1に於ける自己非整合型スタガード構造のMIS型電界効果トラン

ジスタを構成するシリコン薄膜半導体装置の製造工程を断面で示した図で有る。

【0013】本実施例1では、下地基板101として235mm²の溶融石英ガラスを用いたが、600℃の工程最高温度に耐え得る基板又は下地物質で有るならば、その種類や大きさは無論問われない。例えば通常ガラス基板の他にシリコンウェハーなどの半導体基板及びそれらを加工したLSI、三次元LSIや、或いはシリコン・カーバイト、アルミナ、窒化アルミニウムなどのセラミックス基板なども下地基板として可能で有る。

【0014】まずアセトン又はメチル・エチル・ケトン、メチル・イソ・ブチル・ケトンやシクロヘキサノンなどの有機溶剤中に下地基板101を浸し、超音波洗浄を行う。洗浄後窒素中又は減圧下にて乾燥を施し、更にエタノールによる超音波洗浄を行った後窒素パブリングされている純水にて水洗を施す。次に下地基板101を沸騰している濃度60%の硝酸中に5分間浸し、更に窒素パブリングされている純水中で洗浄した。基板として金属など酸に依り腐食されたり、変質して仕舞う物質を用いる場合、この硝酸に依る洗浄は必要とされない。又この強酸に依る洗浄では酸として硝酸の他に硫酸なども可能で有る。

【0015】こうして洗浄された石英基板上に常圧気相化学堆積法(APCVD法)で下地保護膜となる二酸化珪素膜(SiO₂膜)102を2000Å堆積した。この下地SiO₂膜102は前述の如き種々多様な物質を基板として用いる際、後に堆積されるシリコン薄膜の膜質、及びそれを用いて構成される薄膜トランジスタの性能を安定化する為に必要で有る。と同時に、例えば基板101として通常ガラスを用いた場合、ガラス中に含まれているナトリウムなどの可動イオンが、又基板101として各種セラミック板を用いた際には基板中に添加されている焼結助材原料などがトランジスタ部に拡散混入するのを防ぐ役割をも演じている。又金属板を基板101として用いる場合は、絶縁性を確保する為に下地SiO₂は必要不可欠で有る。又、三次元LSI素子では、トランジスタ間や配線間の層間絶縁膜に相当している。下地SiO₂膜102堆積時の基板温度は300℃で、窒素に依り20%に希釈されたシラン600SCCMを840SCCMの酸素と共にAPCVD法で堆積した。この時のSiO₂膜の堆積速度は3.9Å/secで有った。

【0016】続いてドナー又はアクセプターとなる不純物を含んだシリコン薄膜103を減圧CVD法にて堆積した。本実施例1ではn型トランジスタ作成を目指し不純物としてリンを選んだが、n型ならばリン以外に5族、6族の元素、P型ならばボロンを始めとして2族、3族の元素が不純物元素として添加され得る。この不純物を含んだシリコン薄膜103はいずれソース・ドレイン領域となる部位で、本実施例1の如く不純物をCVD

法で添加する方法の他、まず最初に不純物を含まない真性シリコン膜を形成して居き、後に気相或いは真性シリコン膜に接する固相より不純物を拡散させて添加する方法や、不純物をイオン化して真性シリコン膜に打ち込む方法などがある。これら、真性シリコン膜を形成した後拡散法やイオン打ち込み法で不純物を添加する手法を用いると真性シリコン膜の所望の部位のみに不純物を添加する事が可能となり、これにより例えばトランジスタのゲート電極端とソース端又はドレイン端が自己整合したセルフ・アライン・トランジスタが可能となったり、不純物添加濃度を各部位で変える事に依りシリコン膜中の電流密度や比抵抗を変えて所望の部位のみに電流を流す事などが可能となる。

【0017】本実施例1では不純物としてリンを選んだが、ホスフィン(PH₃)とシランを混合したガスを用いて、不純物を含んだシリコン薄膜103を1500Å堆積した。

【0018】本実施例1では184.5lの容積を有する減圧CVD炉内にモノシランを200SCCM、ヘリウムが99.5%でホスフィンが0.5%のヘリウム・ホスフィン混合ガスを6SCCM、更にヘリウム100SCCMを流し、堆積温度600℃、炉内圧力100mtorrで堆積した。この時の堆積速度は29.6Å/minで、成膜直後のシート抵抗値は2,025Ω/□で有った。

【0019】次に、前記シリコン薄膜上にレジストを形成し、四弗化炭素(CF₄)と酸素(O₂)の混合プラズマに依り、前記薄膜をパターニングし、ソース・ドレイン領域103を形成した(図1(a))。続いて沸騰硝酸中に5分間浸す洗浄で残留レジストなどの不純物を取り除き、1.67%弗化水素酸に20秒浸してソース・ドレイン領域103表面上の自然酸化膜を取り除き、直ちに減圧CVD法でチャンネル部となるシリコン薄膜を堆積した。

【0020】この時減圧CVD反応炉の容積は184.5lで、基板は反応炉中央付近に水平に置かれる。原料ガス及びヘリウム・窒素・アルゴン・水素等の希釈ガスは必要に応じて反応炉下部より炉内に導入され、反応炉上部から排気される。石英ガラスで作られた反応炉の外側には3ゾーンに分かれたヒーターが設置されて居り、それらを独立に調整する事で反応炉内中央部付近に所望の温度で均熱帯を形成する。この均熱帯は約350mmの高さで広がり、その範囲内での温度のずれは、例えば600℃に設定した時0.2℃以内である。従って挿入基板間の間隔を10mmとすれば1バッチで35枚の基板の処理が可能で有る。本実施例1では20mm間隔で17枚の基板を均熱帯内に設置した。

【0021】排気はロータリーポンプとメカニカル・ブースターポンプを直結して行い、反応炉内の圧力は測定値がガスの種類に依存しない隔膜式圧力計(MKS社バロトロン・マノメーター)に依り測定した。反応炉を5

10

20

30

40

50

50℃に保って、ガス導入用のバルブを閉じて両ポンプにて真空引きを行った場合、反応炉内圧は0mtorrで有る為、背景真空度は悪くとも 10^{-4} torr程度以下で有る。

【0022】ソース・ドレイン領域103が形成され、該領域表面上の自然酸化膜を取り除かれた基板は、表面を下向きとして直ちに減圧CVD炉内に挿入された。挿入時の反応炉内温度は395℃から400℃程度に保たれている。これはソース・ドレイン領域103上に自然酸化膜が形成されるのを極力少なくする為で有るから、挿入時の反応炉内温度は出来る丈低く有るのが望ましい。例えば挿入時の反応炉内温度を室温とする事も可能で有るが、この場合堆積温度迄反応炉内温度を昇温するのに数時間以上費やし、又堆積後室温に戻すのに矢張り数時間必要となる。基板挿入時に反応炉内には約4SLM~10SLMの窒素を流し反応炉内を不活性雰囲気保っている。更に反応炉内入り口付近には約6SLM~20SLMの窒素で窒素カーテンを形成し、基板挿入時に空気が反応炉内に流れ込む事を最小限に止めている。反応炉内に空気中の水分や酸素が入ると、これらは反応炉内壁のSi層に吸着し、又はSiと反応して反応炉内に残留し、チャンネル部となるシリコン膜堆積の際、脱ガスとして現れ、堆積シリコン膜の膜品質を低下させる原因となる。

【0023】基板挿入後、真空引き、漏洩検査を施した。漏洩検査では反応炉に通ずる全バルブを閉じて反応炉を完全に孤立させて、反応炉内圧力の変化を調べた。本実施例1では反応炉内温度が400℃で2分間の完全孤立後、反応炉内圧力は1mtorr以下で有った。漏洩検査にて異常が無い事を確認した後、反応炉内温度を挿入温度の400℃から堆積温度まで昇温する。本実施例1では550℃でチャンネル部となるシリコン薄膜を堆積した為、昇温するのに一時間費やした。炉内温度が堆積温度の550℃に達するには35分間程度で済むが、反応炉壁からの脱ガスを充分放出する為にも、最短一時間以上、好ましくは数時間の昇温期間が望ましい。この昇温期間中、二つのポンプは運転状態に有り、少なくとも純度が99.995%以上の不活性又は還元性ガスを流し続ける。これらのガス種は水素・ヘリウム・窒素・ネオン・アルゴン・キセノン・クリプトン等の純ガスの他、これらのガスの混合ガスも可能で有る。本実施例1では純度99.9999%以上のヘリウムを350SCCM流し続け、反応炉内圧力は 80.7 ± 1.2 mtorrで有った。

【0024】堆積温度到達後、原料ガスで有る所定量のシラン又はシランと希釈ガスの混合ガスを反応炉内に導入し、シリコン薄膜104を堆積する。希釈ガスとしては、先の昇温期間に流したガスと同種の組み合わせが可能で有るが、望ましくは各ガスの純度はそれぞれが99.999%以上が良い。本実施例1では希釈ガスを用

いず、純度99.999%以上のシランを100SCCM流してシリコン薄膜104を堆積した。この時、反応炉内の圧力は反応炉とメカニカル・ブースターポンプの間に設置されたコンダクタンスバルブの開閉度を調整して、 398.6 ± 1.9 mtorrに保った。本実施例1ではチャンネル部となるシリコン薄膜104は $21.2 \text{ \AA}/\text{min}$ の堆積速度で248Åの膜厚に堆積した(図1(b))。

【0025】本実施例1ではシリコン薄膜の堆積をLPCVD法で行い、原料ガスもモノシランを用いたが、これ以外にもプラズマCVD法やAPCVD法やスパッタ法などで堆積する事も可能で有る。又原料ガスもモノシランに限らず、ジシランやトリシランなどの高次シランやジクロールシランなども可能で有る。又、無論上記種々のCVD法と上記種々の原料の組み合わせによってシリコン薄膜を堆積する事も可能で有る。

【0026】次にこうして得られた基板に熱処理を施して、シリコン薄膜104の結晶化を進め、結晶粒の増大を行った。熱処理炉は縦型炉で通常400℃に保持されて居り、純度99.999%以上の窒素ガスを20SLM流し続けて、熱処理炉内部を不活性雰囲気に保持している。室温と温度平衡に達している基板は17分間掛けて400℃の縦型熱処理炉に挿入した。挿入後30分間400℃に保ち、基板の位置に依らず炉内が総て400℃の均一温度に達した後、熱処理炉の温度を600℃に昇温する。この400℃でまず30分間保持する事に依り基板の位置にかかわらず、どこでも同じ熱履歴を得る事が出来、シリコン薄膜の結晶化を均一に行う事が可能となる。熱処理炉には常に20SLMの窒素が流れ続け、熱処理炉の容積は約176lで有るため、この400℃に於ける予備加熱に依り熱処理炉内部は完全に窒素雰囲気に置換される。400℃から600℃への昇温は約1時間掛けて行われ、600℃で温度平衡に達した後、7時間以上の熱処理に依り、シリコン薄膜の結晶化は進められる。本実施例1では600℃に達した後23時間の熱処理を施した。

【0027】こうして得られたシリコン薄膜は、レジストでパターニングされた後、四弗化炭素(CF₄)と酸素(O₂)の混合プラズマに依りエッチングされ、チャンネル部シリコン薄膜105を形成した。(図1

(C)) 本実施例1で形成したシリコン薄膜はCF₄とO₂の比が50SCCM対100SCCMで有る15Paの真空プラズマ放電で、その出力が700Wの時のエッチングでは $2.1 \text{ \AA}/\text{sec}$ のエッチング速度を有していた。

【0028】次にこの基板を沸騰している濃度60%の硝酸にて洗浄し、更に1.67%弗化水素酸水溶液に20秒間浸してソース・ドレイン領域103とチャンネル部シリコン薄膜105上の自然酸化膜を取り除いて清浄なシリコン表面が出現した後、直ちに電子サイクロトロン共鳴プラズマCVD装置(ECR-PECVD装置)

にてゲート絶縁膜となる SiO_2 膜106を堆積した。(図1(d))本実施例1で用いたECR-PECVD装置の概要を図2に示す。ゲート絶縁膜堆積に際しては、2.45GHzのマイクロ波が導波管201を通じて反応室202に導かれ、ガス導入管203より導入される100SCCMの酸素をまずプラズマ化する。この時、マイクロ波の出力は2250Wで有り、反応室202の外側に設置された外部コイル204に依り反応室202内の酸素プラズマに875Gaussの磁場を掛けてプラズマ中の電子にECR条件を満足せしめている。この酸素プラズマは前記発散磁場に依って反応室外に引き出され、プラズマに対して垂直に置かれた基板205を10秒間照射する。基板205の背面にはヒーター206が有り、基板全体を100℃に保っていた。この時反応室内の圧力は1.85mtorrで有った。酸素プラズマ引き出し口の直後には別のガス導入管207が設けられて居り、10秒間で酸素プラズマが十分安定化した後、このガス導入管207より純度99.999%以上のシラン60SCCMを酸素プラズマ中に混入させる。こうして得られた酸素シラン混合プラズマを30秒間基板に照射してゲート絶縁層となる SiO_2 膜106を1500Å堆積した(図1(d))。この時反応室の圧力は2.35mtorrで有った。

【0029】次にクロムをスパッター法で1500Å堆積し、パターニングに依り、ゲート電極107を形成した。この時シート抵抗値は $1.356 \pm 0.047 \Omega/\square$ で有った。本実施例1ではゲート電極材料としてクロムを用いたが、無論これ以外の導電性物質も可能で有り、又その形成方法もスパッター法に限らず蒸着法やCVD法なども可能で有り。続いてAPCVD法で層間絶縁膜108となる SiO_2 膜を5000Å堆積した。この堆積は本実施例1で下地 SiO_2 膜102を堆積した条件と全く同一で唯一堆積時間のみを変えて行った。層間絶縁膜形成後、コンタクトホールを開け、ソース・ドレイン取り出し電極109をスパッター法などで形成し、トランジスタが完成する(図1(e))。本実施例1ではソース・ドレイン取り出し電極材料としてアルミニウムを用いスパッター法で8000Åの膜厚に堆積して、ソース・ドレイン取り出し電極を形成した。この時堆積アルミニウム膜のシート抵抗は $42.48 \pm 2.02 \text{ m}\Omega/\square$ で有った。

【0030】この様にして試作した薄膜トランジスタ(TFT)の特性の一例 $V_{gs}-I_{ds}$ 曲線を図3の3-aに示した。ここでソース・ドレイン電流 I_{ds} はソース・ドレイン間電圧 $V_{ds}=4\text{V}$ 、温度25℃で測定した。トランジスタサイズはチャンネル部の長さ $L=10\mu\text{m}$ 、幅 $W=10\mu\text{m}$ で有った。 $V_{ds}=4\text{V}$ 、 $V_{gs}=10\text{V}$ でトランジスタをオンさせた時のオン電流は $235\mu\text{A}$ の基板の中央と四角の5ヶのトランジスタを測定した所、 $I_{ON}=4.65 \pm 0.39\mu\text{A}$ と良好なト

ランジスタ特性を有する薄膜半導体装置が得られた。又、トランジスタの飽和電流領域より求めた電界効果移動 μ_o と捕獲密度 N_t (J. Levinson et al. J. Appl. Phys 53, 1193, 1982)はそれぞれ $\mu_o=25.85 \pm 0.96 \text{ cm}^2/\text{v. sec}$ 、 $N_t=(6.81 \pm 0.15) \times 10^{11} 1/\text{cm}^2$ で有った。図3の3-bには比較の為に従来技術の一例に依って作成した薄膜半導体装置のトランジスタ特性を図示した。即ち、チャンネル部シリコン薄膜を減圧CVD法にて600℃で堆積し、24時間の熱処理を施さぬ他は総て本実施例1の本発明と同一の工程で薄膜半導体装置を作成したもので有る。この時、減圧CVD法でチャンネル部シリコン薄膜を堆積する装置は本実施例1の本発明で用いた装置と同一で有り、原料ガスのモノシランは12.5SCCM流し、反応炉内圧力は9.0mtorr、堆積速度は $11.75 \text{ Å}/\text{min}$ で256Åの膜厚に堆積した。この従来技術の一例のTFTのオン電流は $I_{ds}=0.91 \pm 0.12 \mu\text{A}$ で電界効果移動度は $\mu_o=4.75 \pm 0.20 \text{ cm}^2/\text{v. sec}$ 、捕獲密度 $N_t=(5.18 \pm 0.13) \times 10^{11} 1/\text{cm}^2$ で有った。この他に、チャンネル部シリコン薄膜を同様に減圧CVD法にて600℃モノシラン流量12.5SCCMにて堆積し、本実施例1の本発明と同一の工程でゲート絶縁膜を堆積した後、ECR-PECVD装置にて水素プラズマ処理を施し、それ以外は本実施例1の本発明と同一工程で薄膜半導体装置を作成した。これも水素化処理を行う従来技術の一例で有る。水素化処理は図2に示したECR-PECVD装置にてゲート絶縁膜堆積後、真空引きを行い、更にヒーター206により基板205の温度を300℃に1時間掛けて昇温した後に行った。純度99.9999%以上の水素ガス125SCCMはガス導入管203より反応室202に導かれ、水素プラズマを立てた。マイクロ波出力は2000Wで、反応室の圧力は2.63mtorrで有った。水素プラズマ照射は30分間行った。こうして作成した薄膜半導体装置のTFT特性を測定した所、オン電流 $I_{ds}=0.96 \pm 0.13 \mu\text{A}$ 、電界効果移動度 $\mu_o=4.68 \pm 0.22 \text{ cm}^2/\text{v. sec}$ 、捕獲密度 $N_t=(5.12 \pm 0.13) \times 10^{11} 1/\text{cm}^2$ で有った。即ち、水素プラズマ処理の有無にかかわらずチャンネル部シリコン膜を600℃にて減圧CVD法で堆積する従来技術に比べると、本発明では例えば電界効果移動度を5倍程度に高めるとのトランジスタ特性の大幅な向上をもたらす。

【0031】次に従来技術の別な一例と本発明との比較を行う。即ち従来技術の別な一例として、チャンネル部シリコン薄膜の形成は本実施例1の本発明と同様にを行うものの、ゲート絶縁膜をAPCVD法で堆積する従来技術及びゲート絶縁膜をAPCVD法で堆積した後、水素プラズマ処理を行う従来技術に対する本発明の多大なる優位性を見る。従来技術で有るゲート絶縁膜をAPCVD

D法で堆積して薄膜半導体装置を作成する工程では、ゲート絶縁膜をAPCVD法で1500Åに堆積した以外、本実施例1の本発明と同一の工程で薄膜半導体装置を作成した。APCVD法では基板温度を300℃に保ち、窒素中に20%シランを含んだ窒素、シラン混合ガスを300SCCM、酸素を420SCCM流し、約140SLMの希釈用窒素をこれらの原料ガスと共に流してSiO₂膜を堆積した。堆積速度は1.85Å/secで有った。この様にして作成した従来技術による薄膜半導体装置のトランジスタ特性を図3の3-Cに示した。このトランジスタのオン電流は $I_{ON}=1.49\pm0.05\mu A$ 、電界効果移動度 $\mu_o=24.60\pm0.72cm^2/v\cdot sec$ 、捕獲密度 $N_t=(9.20\pm0.15)\times 10^{11}1/cm^2$ で有った。この従来技術と本発明を比較すると、本発明は捕獲準位を大幅に低減し、ゲート電圧 O_v 付近で急激に立ち上がる極めて優良な薄膜半導体装置を作成した事が明瞭となる。APCVD法でゲート絶縁膜を堆積する従来技術では、移動度丈は本発明並に高める事が出来たが、その実、ソース・ドレイン電流の最小値が-11V付近に有り捕獲密度も高い為、立ち上がりの傾斜もゆるやかで薄膜半導体装置として実用的ではなかった。一方更に別なる従来技術の一例を図3の3-dに示す。ここではチャンネル部シリコン薄膜の形成は本実施例1の本発明と同様に行うものの、ゲート絶縁膜はAPCVD法で堆積し、その後水素プラズマ処理を施す技術で有る。ゲート絶縁膜を前述と同一の条件で堆積し、その後直ちにECR-PECVD装置により前述と同一の条件で水素プラズマ照射を施した他は本実施例1の本発明と同一の工程を経て薄膜半導体装置を作成した。こうして得られたTFTの特性を図3の3-dに示した。オン電流は $I_{ds}=2.91\pm0.30\mu A$ 、電界効果移動度 $\mu_o=24.51\pm0.67cm^2/v\cdot sec$ 、捕獲密度 $N_t=(7.94\pm0.15)\times 10^{11}1/cm^2$ で有った。このプラズマ処理を用いた従来技術に比較しても本発明はあらゆるパラメーターで良好な特性を示している事が分かる。又水素プラズマ処理を施した従来技術で作成したトランジスタでは測定した5つのトランジスタの内1つが+2V程度しきい値電圧 V_{th} がずれており、前述の各パラメーターの平均値と標準偏差の値にこのトランジスタの値を含ませていない。即ち水素プラズマ処理を用いた従来技術では水素プラズマ処理を行わない従来技術に対してトランジスタ特性は改善されるが、大面積に均一に同質なトランジスタを作成する事は困難で有った。加えて水素プラズマ処理を施した試料はロット間の変動が大きく、安定的な生産が困難で有る。とりわけ、しきい値電圧のずれとソース・ドレイン電流が最小となるゲート電圧値の変動がロット間で非常に大きい。これに対して本発明に依り、ばらつきの原因となる水素化処理を排除して尚、従来よりも優良なトランジスタを大面積上に均一に作成し得た事が分かる。

【0032】(実施例2)チャンネル部となるシリコン薄膜(図1.104)の堆積時間を変えてシリコン薄膜104の堆積膜厚を変えた他は総て実施例1の本発明と同じ工程に依り薄膜半導体装置を作成した。本実施例2ではシリコン薄膜104を190Å、280Å、515Å、1000Å、1100Å、1645Åと六種の異なった膜厚とし、それぞれ薄膜半導体装置を作成した。こうして得られた薄膜半導体装置のオン電流とオフ電流の比をチャンネル部シリコン膜の膜厚に対して図示した結果が図4で有る。この図から分かる様にチャンネル部シリコン膜半導体層の膜厚が500Å以下となる薄膜半導体装置ではオン・オフ比が急激に改善されて7桁以上を示す良好な特性が得られた。

【0033】(実施例3)ソース領域或いはドレイン領域の少なくともどちらか一方の領域がゲート絶縁膜を介してゲート電極と重なり合っていない構造を有する薄膜半導体装置(オフ・セット型薄膜半導体装置)を実施例1の本発明と同一の製造方法にて作成した。本実施例3ではオフ・セット型薄膜半導体装置として図5(a)に示すスタガード型薄膜半導体装置をアラインメントを高精度に行う事に依り作成したが、オフ・セット型薄膜半導体装置としては無論これ以外の構造の物も可能で有る。例えば図5(b)に示すようにソース・ドレイン領域503を真性シリコン薄膜にゲート電極504をマスクとして不純物イオンを打ち込んで作成する方法や図5(c)に示すゲート電極505が下側に有る逆スタガード型薄膜半導体装置でソース・ドレイン領域507をマスク材506を用いて作成した物なども可能で有る。

【0034】本実施例3では下地基板として直径75mmの溶融石英ガラスを用いた他は実施例1の本発明と同じ製造方法でオフ・セット型薄膜半導体装置を作成した。即ち、まず基板洗浄を施し、下地SiO₂膜をAPCVD法などで堆積した後、リン添加されたシリコン膜をLPCVD法で堆積し、更にパターニングする事に依りソース・ドレイン領域501を形成した。ここで後にチャンネル長Lとなるソース・ドレイン領域間距離は10.5μmで有った。次に実施例1の本発明と同様にしてチャンネル部となるシリコン薄膜を21.2Å/minの堆積速度で248Åの膜厚に堆積した。但し、実施例1の本発明では基板の表側を下向きとして基板を反応炉に挿入したが、本実施例3では235mm²のダミー石英板上に直径75mmの基板を表側を上向きに乗せて、反応炉に挿入した。以下実施例1の本発明と全く同じ製造方法で熱処理を施し、ゲート絶縁層を堆積し、更にゲート電極502を形成した。このゲート電極502の幅は10.0μmで、ソース・ドレイン間距離10.5μmの中心とゲート電極幅10.0μmの中心が一致するように高精度アラインメントを行った。この結果、チャンネル領域に於けるゲート電極端位置とソース領域端との距離(オフセット距離)はそれぞれ0.25μmとな

る。その後実施例1の本発明と同様の製造方法で層間絶縁膜を堆積し、コンタクト・ホール開口後アルミニウムを用いて配線し、薄膜半導体装置が完成した。

【0035】この様にして作成した薄膜半導体装置のトランジスタ特性の一例 $V_{gs}-I_{ds}$ 曲線を図6の6-aに示した。図6の3-aは実施例1の本発明で試作した自己非整合型スタガード構造薄膜半導体装置のトランジスタ特性で有る。図からも明確に分かる様に本実施例3の本発明ではゲート電圧が負の時に生じるリーク電流を大幅に低下させる事が可能で有る。実際本実施例3の本発明に於いてはゲート電圧が $-2.5V$ 以下ではソース・ドレイン電流を $0.1pA$ 程度に押さえている。図6の6-bは実施例1の従来技術に依りオフセット型薄膜半導体装置を作成した時に得られるトランジスタ特性を比較の為に示している。即ち、チャンネル部シリコン薄膜は $600^{\circ}C$ の減圧CVD法で堆積され、ソース・ドレイン間距離 $10.5\mu m$ の中心とゲート電極幅 $10.0\mu m$ の中心を高精度アラインメントで位置合わせしオフセット型薄膜半導体装置を作成した時に得られるトランジスタ特性で有る。これ故図6の6-bは従来技術の自己非整合型スタガード構造薄膜半導体装置のトランジスタ特性図6の3-bと直接比較し得る。従来技術に依るオフ・セット型薄膜半導体装置に於いてもリーク電流を $0.1pA$ 程度以下に低く保つ事は可能で有るが、従来技術に於いてオフセット型薄膜半導体装置を作成するとオン電流や移動度などトランジスタの正特性も低下して仕舞い、実用的では無かった。例えば従来技術に依るオフセット型薄膜半導体装置のオン電流は $I_{ds}=0.090\pm 0.01\mu A$ と自己非整合型薄膜半導体装置に比べてオン電流は一桁以上低下して仕舞う。又この時の移動度も $\mu_o=3.33\pm 0.15cm^2/v\cdot sec$ と同様に約3割劣化している。この理由に依り、従来技術に依るオフセット型薄膜半導体装置の製造はその価値が無かった。これに対し、本実施例3の本発明は図6の6-aに示されている通り、リーク電流は低く押さえ、且つオン電流も高く維持している。本実施例3の本発明ではオン電流として $I_{ds}=3.71\pm 0.43\mu A$ が得られ、自己非整合型薄膜半導体装置のオン電流に比べても殆ど遜色は見られない。又本実施例3の本発明では移動度も $\mu_o=22.00\pm 0.95cm^2/v\cdot sec$ と良好な値を示した。

【0036】(実施例4) 実施例3では高精度アラインメントを行う事に依りオフセット型薄膜半導体装置を作成したが、無論これ以外にも本発明は有効で有る。図5(b)では真性シリコン膜を堆積し、ゲート電極をパターニングした後、不純物イオンを添加する事でオフセット型薄膜半導体装置を作成した。この方法について詳述する。

【0037】図7(a)～(d)は本実施例4に於けるオフセット型スタガード構造のMIS型電界効果トラン

ジスタを構成するシリコン薄膜半導体装置の構造工程を断面で示した図で有る。まず実施例1と同様基板701を洗浄した後、下地保護膜702として SiO_2 膜を 2000\AA 程度堆積する。続いて第一のシリコン膜を 300\AA 程度以上堆積し、パターニングを行う事でパッドとなるシリコン膜703を形成する。この第一のシリコン膜として本実施例では実施例1でチャンネル部シリコン膜を堆積したLPCVD装置を用いて堆積温度 $600^{\circ}C$ でシラン流量 $12.5SCCM$ で 1250\AA に堆積したが、これ以外にも同じLPCVD装置を用いて堆積温度 $550^{\circ}C$ 程度でシリコン膜を堆積する事も、原料ガスとしてジシラン(Si_2H_6)を用いて堆積温度 $450^{\circ}C$ 程度で堆積する事も、PECVD法にて $250^{\circ}C$ 程度でシリコン膜を堆積する事も可能で有る。工程最高温度 $600^{\circ}C$ を越えぬ膜形成温度で有るならば、如何なる方法であっても構わない。次に第二のシリコン膜704を堆積するが、この第二のシリコン膜の膜厚が 300\AA 程度以上有り、不純物注入後のソース・ドレイン領域の抵抗値がトランジスタを動作させた時のチャンネル領域の抵抗値に比べて充分低ければ、第一のシリコン膜又はパッドとなるシリコン膜703は必要とされない。本実施例4では第二のシリコン膜704を実施例1の本発明でチャンネル部となるシリコン薄膜と同じ方法で堆積した。即ちLPCVD法にてモノシランを原料ガスとし、堆積温度 $550^{\circ}C$ 、シラン流量 $100SCCM$ 堆積速度 $21.2\text{\AA}/min$ で 250\AA の膜厚に堆積した。しかし、第二のシリコン膜形成方法は第一のシリコン膜と同様、工程最高温度 $600^{\circ}C$ を越えぬ膜形成温度で有るならば、如何なる方法でも可能で有る。例えば、第二のシリコン膜も堆積温度 $600^{\circ}C$ 、シラン流量 $12.5SCCM$ 、反応炉内圧力 $9.0mtorr$ で堆積しても構わぬし、又、原料ガスにジシランやトリシランなどの高次シランを用いて更に低温で膜形成する事も可能で有る。この様に何らかの方法で第二のシリコン膜704を形成し(図7(b))、パターニングを行った後、実施例1の本発明と同様の方法でゲート絶縁層705を形成した。即ち、ECR-PECVD法で SiO_2 膜を 1500\AA 堆積した。ゲート絶縁層705の形成手段としては第二のシリコン膜704が多結晶シリコン膜である場合、APCVD法で形成する事も出来る。次にゲート電極となる金属膜などを形成する。本実施例4ではゲート電極材料として燐を高濃度に添加したシリコン膜を用いた。ここではLPCVD法で堆積温度 $600^{\circ}C$ 、モノシラン $200SCCM$ 、ヘリウムが 99.5% でホスフィンが 0.5% のヘリウム・ホスフィン混合ガスを $6SCCM$ 更にヘリウム $100SCCM$ を流し、炉内圧力 $100mtorr$ で 3000\AA の膜厚に堆積した。成膜直後のシート抵抗値は $744\Omega/\square$ で有った。引き続いてレジストを塗布し、レジストのパターニングを行った後、 CF_4 と O_2 の混合プラズマに依り燐添加シリコン膜のパターニングを行った。 CF_4 と O_2 の比

がそれぞれ200SCCMと200SCCMで入射波出力700Wでバターンニングを行った。この時の燐添加シリコン膜のエッチング速度は15.4Å/secで5分57秒間エッチングを行い、ゲート電極706を作成した。燐添加シリコン膜の膜厚は3000Åで有ったので、このプラズマエッチングに依り、ゲート電極幅はレジスト707に比べて左右それぞれ2500Å程度細められている(図7(c))。次にゲート電極706作成に用いたレジスト707を剥離せずに残したまま、不純物イオンを添加する。本実施例4では不純物として燐を選びn型薄膜半導体装置を目指したが、無論他元素もその目的に応じて可能で有る。本実施例4では質量分析装置が付いていないイオン打ち込み装置を用いて不純物イオン添加を施した。原料ガスとして水素中に希釈された濃度5%のホスフィンを用い、加速電圧110kVで $3 \times 10^{15} 1/\text{cm}^2$ の濃度に打ち込んだ。この様にして、第一のシリコン膜と第二のシリコン膜の一部はソース・ドレイン領域708となり、又ゲート電極作成に用いたレジスト707は膜厚がおよそ2μm程度有るため、この下に位置する第二のシリコン膜はイオン添加されず、チャンネル部709を構成するに至る(図7(c))。又、この方法に依り、オフセット型薄膜半導体装置が作成される。次にゲート電極作成用レジスト707を剥離した後、該基板に600℃で7時間以上の熱処理を施し、添加不純物イオンの活性化及び、チャンネル部シリコン膜709の結晶性が不十分な場合の結晶化を促進する。本実施例4では実施例1の本発明で行った熱処理と同様窒素雰囲気下600℃にて23時間の熱処理を施した。続いて層間絶縁膜としてSiO₂710をAPCVD法などで5000Å堆積し、更に質量分析装置の付いていないイオン打ち込み装置にて、水素を加速電圧80kVで $5 \times 10^{15} 1/\text{cm}^2$ 打ち込んだ後、コンタクト・ホールを開口し、アルミニウムなどで配線711をし、オフセット型薄膜半導体装置が完成する。

【0038】こうして作成したオフセット型薄膜半導体装置のトランジスタ特性を測定した所、 $L=W=10\mu\text{m}$ 、 $V_{ds}=4\text{V}$ でオン電流は3.4μA、ソース・ドレイン電流の最小値は $V_{gs}=-3.5\text{V}$ の時0.09pA、又 $V_{gs}=-10\text{V}$ で定義したオフ電流は0.28pAと、トランジスタ・オフ時のリーク電流を低く抑さえ、且つ良好なオン電流を得る事が出来た。

【0039】実施例3及び実施例4で述べた様にオフセット型薄膜半導体装置でソース領域・ドレイン領域が形成された後、熱処理を加える事でオン電流は高く、リーク電流の小さい薄膜半導体装置を作成可能で有るが、本発明が実施例3及び実施例4で詳述したオフセット型薄膜半導体装置の製造方法だけに限定される物では決して無い。例えば実施例4でオフセット型薄膜半導体装置を作成する方法としてゲート電極幅よりも広い幅を持つレジストを打ち込みのマスクとしたが、他にも様々な方法

が有る。例えば金属をゲート電極として用い、この表面及び側面を酸化してゲート電極を細めた後に不純物イオンを打ち込む事などでもオフセット型薄膜半導体装置を作成出来る。又、図5(c)に示したように逆スタガード構造に於いてもマスク材506の幅をゲート電極505よりも広げる事などでオフセット型薄膜半導体装置となる。本発明はこれらあらゆる製造方法で作成されたオフセット型薄膜半導体装置に有効で有る。

【0040】(実施例5)図8(a)~(f)はMIS型電界効果トランジスタを形成するシリコン薄膜半導体装置の製造工程を断面で示した図で有る。

【0041】本実施例5では絶縁性基板801として235mm²の石英ガラスを用いたが、600℃の温度に耐え得る基板又は下地物質で有るならば、その種類や大きさは無論問われない。例えばシリコン・ウェハー上に形成された三次元LSIなども下地基板として可能で有る。まず有機洗浄及び酸洗浄した石英ガラス基板801上面に下地SiO₂膜802を常圧化学気相堆積法(APCVD法)で堆積した。下地SiO₂膜802の形成は基板温度300℃、シラン流量120SCCM、酸素840SCCM、窒素約140SLMで堆積した。この時の堆積速度は3.9Å/secで、堆積時間は8分33秒で有った。次にドナー又はアクセプターとなる不純物を含んだシリコン薄膜803を減圧気相化学堆積法(LPCVD法)にて堆積した(図8(a))。本実施例5では不純物としてリンを選び、フォスフィン(PH₃)0.03SCCM、シラン(SiH₄)200SCCMを原料ガスとして堆積温度600℃で1500Å堆積した。この時の堆積速度は30Å/minで成膜直後のシート抵抗値は1951Ω/□で有った。次に前記シリコン薄膜803上にレジストを形成し、四弗化炭素(CF₄)、酸素(O₂)、窒素(N₂)等の混合プラズマでバターンニングを行い、ソース・ドレイン領域804を形成した。続いて該領域804表面上の汚物・自然酸化膜を取り除いた後、直ちにアモルファス・シリコン薄膜805を減圧CVD法で堆積した。(図8(b))本実施例5に於ける減圧CVD装置は184.51で反応室は石英ガラスに依り作成されている。反応室の外側には3ゾーンに分かれたヒーターが設置されており、それら3つのヒーターを独立に調整する事で反応室内中央部付近に所望の温度で等温領域を形成する。基板はこの等温領域内に水平に設置して、アモルファス・シリコン薄膜805を堆積した。アモルファス・シリコン薄膜805は原料ガスとしてジシラン(Si₂H₆)100SCCMを用い、希釈ガスとしてヘリウム(He)100SCCMを使用した。堆積温度は450℃であった。本実施例5のアモルファス・シリコン薄膜805を堆積する為に用いた減圧CVD炉の排気はメカニカル・ブースター・ポンプとロータリー・ポンプを直結して行っている。メカニカル・ブースター・ポンプと反応炉の間にはコンダクタンス・バルブが取

り付けて有り、このバルブの開閉量を調整する事で、反応室内の圧力を所望の値に調整・維持可能となる。本実施例5ではアモルファス・シリコン薄膜805を堆積中、反応室内の圧力を306mtorrに保った。堆積速度は18.07Å/minで、307Åの膜厚にアモルファス・シリコン薄膜805を堆積した。次にこの様にして作成されたアモルファス・シリコン薄膜805上にレジストを形成し、四弗化炭素、酸素、窒素等の混合プラズマでパターニングを行い、いずれチャンネル部となる位置に丈アモルファス・シリコン薄膜806を残した。

【0042】次に、この基板を沸騰している濃度60%の硝酸にて洗浄し、更に1.67%弗化水素酸水溶液に20秒間浸してソース・ドレイン領域804といずれチャンネル部となる位置に残されたアモルファス・シリコン薄膜806上の自然酸化膜を取り除いて清浄なシリコン膜が出現した後、直ちに電子サイクロトロン共振プラズマCVD装置（ECR-PECVD装置）にて酸素プラズマ807を照射した。（図8（c））本実施例5で用いたECR-PECVD装置の概要を図2に示す。酸素プラズマは2.45GHzのマイクロ波を導波管201を通じて反応室202に導き、100SCCMの酸素をガス導入管203から導入して酸素プラズマを立てた。この時反応室内の圧力は1.84mtorrで、マイクロ波の出力は2500Wで有った。反応室の外側には外部コイル204が設けられて居り、酸素プラズマに875Gaussの磁場を掛けてプラズマ中の電子にECR条件を満足せしめている。基板205はプラズマに対して垂直に置かれ、ヒーター206に依り基板温度が300℃となる様保たれている。この条件で酸素プラズマ807を8分20秒間照射して、いずれチャンネル部となる位置に残されたアモルファス・シリコン薄膜806の酸化を行い、ゲート絶縁層の一部位となるSiO₂膜808を得た。この時、ゲート絶縁層の一部位となるSiO₂膜808の下部には、いずれチャンネル部となるアモルファスシリコン薄膜809が残留している。（図8（d））更に真空を破る事なく連続してゲート絶縁層となるSiO₂膜810を堆積した。このSiO₂膜810はマイクロ波出力が2250W、シラン流量60SCCM、酸素流量100SCCM、基板温度300℃で、18.75秒間堆積した。堆積中に於ける反応室内圧力は2.62mtorrで有った。こうして形成した多層膜を多波長分散型偏光解析法（多波長分光エリブソメトリー：ソーブラ社MOSS-ES4G）を用いて、いずれチャンネル部となる残留しているアモルファス・シリコン膜809の膜厚と、アモルファス・シリコン膜を酸化して形成したSiO₂膜808の膜厚、及びECR-PECVD法で堆積したSiO₂膜810の膜厚を測定した所、アモルファス・シリコン薄膜809が205Å、SiO₂膜808が120Å、SiO₂膜810が1500Åで有った。又この時、波長が632.8nmに於けるSi

O₂膜の屈折率は、SiO₂膜808が1.42、SiO₂膜810が1.40で有った。

【0043】次にこうして得られた基板を600℃に保持された電熱炉に挿入し、48時間の熱処理を施した。この時電熱炉には純度99.999%以上の窒素ガスを20l/min流し続け、不活性雰囲気を保持し続けた。この不活性雰囲気600℃の熱処理に依り、チャンネル部に残留していたアモルファス・シリコン薄膜は結晶化し、チャンネル部を構成するシリコン薄膜811へと改変される。（図8（e））続いてこの基板を再びECR-PECVD装置に入れ、該装置を用いて熱処理が施された基板に水素プラズマを照射した。この時、基板温度は300℃、マイクロ波出力2000Wで水素を100SCCM流して水素プラズマを立てた。この状態で反応室内の圧力は1.97mtorrで有った。水素プラズマ照射は45分間行った。

【0044】次にクロムをスパッター法で1500Å堆積し、パターニングに依りゲート電極812を形成した。この時シート抵抗値は1.36Ω/□で有った。その後、ゲート絶縁膜にコンタクトホールを開け、ソース・ドレイン取り出し電極813をスパッター法などで形成し、パターニングを行う事でトランジスタは完成する。（図8（f））本実施例5ではソース・ドレイン取り出し電極材料として、膜厚8000Åのアルミニウムを用いた。この時のアルミニウムのシート抵抗値は42mΩ/□で有った。

【0045】この様にして試作した薄膜トランジスタ（TFT）の特性の一例V_{gs}-I_{ds}曲線を図9の9-aに示した。ここでI_{ds}はソース・ドレイン電圧、V_{ds}=4V、温度25℃で測定した。トランジスタ・サイズはチャンネル部の長さL=10μm、幅W=100μmで有った。V_{ds}=4V、V_{gs}=10Vでトランジスタをオンさせた時のオン電流はI_{ds}=34.5μAと良好なトランジスタ特性を有する薄膜半導体装置が得られた。又、このトランジスタの飽和電流領域より求めた電界効果移動度は12.52cm²/v·secで有った。図9の9-bには比較の為に従来技術に依って作成した薄膜半導体装置のトランジスタ特性を図示した。即ち、従来技術では、チャンネル部シリコン薄膜を減圧CVD法にて600℃で堆積し、酸素プラズマ照射を施さぬ他は総て本実施例5と同一の工程で薄膜半導体装置を作成したもので有る。この時、減圧CVD法でチャンネル部シリコン薄膜を堆積する装置は本実施例5でアモルファス・シリコン薄膜を堆積した装置と同一で有り、原料ガスのモノシランは24SCCM流し、反応炉内圧力は13.8mtorr、堆積速度は19.00Å/minで252Åの膜厚に堆積した。この従来のTFTのオン電流はI_{ds}=4.6μAで電界効果移動度は4.40cm²/v·secで有った。この他に、チャンネル部シリコン薄膜を同様に減圧CVD法で600℃にて堆積した

後、ゲート絶縁膜堆積前に酸素プラズマ照射を施し、それ以外の工程は総て本実施例5と同一の工程で薄膜半導体装置を作成し、TFT特性を測定した所、TFT特性は酸素プラズマ照射の有無でほとんど変化せず、酸素プラズマ照射を施したTFTの $V_{gs}-I_{ds}$ 曲線は図9の9-bと一致した。この時TFTのオン電流は $I_{ds}=4.7\mu A$ で、電界効果移動度は $4.44cm^2/v \cdot sec$ で有った。即ち、チャンネル部シリコン薄膜を600℃にて減圧CVD法で堆積する従来技術では、酸素プラズマ照射の効果は非常に小さい。図9の9-cには別の従来技術に依り作成された薄膜半導体装置のTFT特性を図示した。この従来技術では、本実施例5で酸素プラズマ照射を施さぬ他は総て本実施例と同一の工程で薄膜半導体装置を作成した物で有る。即ち、チャンネル部シリコン層として、まずアモルファス・シリコン薄膜を堆積し、その後600℃の熱処理をおこなうものの、ゲート絶縁層形成前に酸素プラズマ照射を施さなかった工程で有る。この従来技術に依り、作成されたTFTは-10Vのデプレッションを呈しており、立ち上がり特性も良くない。この薄膜半導体装置のオン電流は $V_{ds}=4V$ 、 $V_{gs}=10V$ で $12.1\mu A$ で有り、電界効果移動度は $9.94cm^2/v \cdot sec$ で有った。

【0046】こうした結果から本実施例5が示した通り、いずれチャンネル部となるアモルファス・シリコン薄膜に酸素プラズマを照射し、その後熱処理を施してチャンネル部シリコン薄膜の結晶化を進めた時のみ、薄膜半導体装置のトランジスタ特性が大幅に向上する事が分かる。これはまずアモルファス・シリコン薄膜の表面が酸素プラズマで酸化される為、清浄なMIS界面が形成され、その後、結晶化が進められた為で有る。これにより従来技術で作成した薄膜半導体装置に比べ、本発明の実施例が著しく良好な半導体特性を有する理由が分かる。

【0047】(実施例6) 絶縁性物質上にシリコン膜及び酸化珪素膜を形成した後、ドナー又はアクセプターとなる不純物をシリコン膜に添加して、シリコン膜に依る導電層を作成した。

【0048】本実施例6では基板として直径75mmの溶融石英基板を用いた。しかし、無論600℃程度の熱処理に耐え得る基板であるならば何でも構わない。例えば加工されたシリコン基板なども可能で有る。まず有機洗浄及び酸洗浄した基板上面に下地 SiO_2 膜をAPCVD法で堆積した。下地 SiO_2 膜の形成は基板温度300℃、シラン流量120SCCM、酸素840SCCM、窒素約140SLMで堆積した。この時の堆積速度は3.9Å/secで堆積時間は12分49秒で有った。次に実施例1にてチャンネル部シリコン膜を堆積するのに用いたLPCVD装置を用いて実施例1と同様な方法でシリコン膜を堆積した。即ち堆積温度550℃、シラン流量100SCCM、反応室内圧力を400mtorrにて1

1分20秒間シリコン膜を堆積した。こうして得られたシリコン膜の膜厚は252Åで有った。

【0049】次にこうして得られた基板に熱処理を施して、シリコン膜の結晶性を高めた。この熱処理方法は実施例1でシリコン膜104の結晶性を高める為に施した熱処理と同一で有る。即ち、窒素雰囲気下600℃で23時間の熱処理を行った。熱処理終了後、このシリコン膜はレジストでパターニングされ、さらに CF_4 と O_2 の混合プラズマに依りエッチングされ、シリコン膜の配線パターンが作成された。

【0050】続いてこの基板を濃度60%の沸騰硝酸にて洗浄し、更に1.67%非化水素酸水溶液にて20秒間浸して、シリコン膜上の自然酸化膜を取り除き、清浄シリコン表面を出現させた後、直ちにECR-PECVD装置にて酸化珪素膜を1500Åの厚さに堆積した。ここで酸化珪素膜の堆積は実施例1の本発明にてゲート絶縁膜を形成する方法と全く同一の方法で行った。次にイオン打ち込み装置を用いてドナー又はアクセプターとなる不純物をシリコン膜で作成した配線に添加した。本実施例6では不純物として燐を選びn型導電層の作成を目指したが、無論他元素もその目的に応じて可能で有る。本実施例6ではバケットタイプの質量非分離型のイオン注入装置を用いて不純物イオンの添加を施した。原料ガスとして水素中に希釈された濃度5%のホスフィンを用い、加速電圧110KVで $3 \times 10^{15} 1/cm^2$ の濃度に酸化珪素膜を通じて打ち込んだ。次にこの基板を窒素雰囲気下で300℃に保たれている炉に挿入して熱処理を施した。熱処理時間は丁度一時間で有った。300℃、一時間の熱処理終了後、酸化珪素膜にコンタクトホールを開穴し、アルミニウムで取り出し電極を作成した。こうして作成された不純物添加シリコン膜配線の抵抗を測定した所、シート抵抗値として、95%の信頼係数で $(71 \pm 15) k\Omega/\square$ が測定された。一般に数百Åの膜厚しか持たぬ薄膜に不純物イオンを添加して、300℃程度の低温で添加イオンを活性化して導電層を得る事は不可能と信じられていた。しかるに、本発明では熱処理を施されたシリコン膜の膜質を、シリコン膜上にECR-PECVD法で堆積した酸化珪素膜で被覆する事に依り、シリコン膜表面の捕獲密度を低減させる等のシリコン膜質改善に成功した為、電子散乱密度を低下させ、薄膜導電層の作成が初めて可能となった。この事を従来技術に依るシリコン膜と比較し、本発明の優位性を明らかにする。

【0051】まず第一にシリコン膜をLPCVD法にて600℃で堆積した後、ECR-PECVD法で酸化珪素膜を形成した従来技術のシリコン膜に不純物を添加し、300℃の低温活性化でシリコン膜導電層の作成を試みた。ここではシリコン膜を600℃で、モノシランを12.50SCCM流し、反応室内圧力を9.2mtorrで263Åの膜厚に堆積した他は、本実施例6の本発

21

明と全く同一の工程で不純物添加シリコン膜配線を作成した。こうして得られた従来技術のシリコン膜のシート抵抗は基板内5ヶ所を測定して総て $1\text{ G}\Omega/\square$ 以上で事実上電流は全く流れなかった。

【0052】第二にシリコン膜は本実施例6の本発明と全く同様に 600°C の熱処理を施して作成し、その後APCVD法で酸化珪素膜を形成した従来技術のシリコン膜に不純物を添加し、 300°C の低温活性化でシリコン膜導電層の作成を試みた。ここで酸化珪素膜はAPCVD法で基板温度を 300°C に保ち、窒素中に20%シランを含んだ窒素・シラン混合ガスを 300 SCCM 、酸素を 420 SCCM 流し、約 140 SLM の希釈用窒素をこれらの原料ガスと共に流して、 1500 \AA の膜厚に堆積した。これ以外は総て、本実施例6の本発明と全く同一の工程で不純物添加シリコン膜配線を作成した。こうして得られた従来技術のシリコン膜のシート抵抗値は95%の信頼係数で $(175\pm56)\text{ k}\Omega/\square$ で有った。その後この基板を再度ECR-PECVD装置に装着し、水素プラズマ処理を施した。水素プラズマ処理は基板温度 300°C で水素を 125 SCCM 流し、マイクロ波出力 2000 W で30分間行った。水素プラズマ処理後、基板内5ヶ所の抵抗値を測定した所、2ヶ所のシート抵抗は $1\text{ G}\Omega/\square$ で以上で有り、残りの3ヶ所の平均値は $158\text{ k}\Omega/\square$ で標準偏差値は $68\text{ k}\Omega/\square$ で有った。

【0053】この様に 600°C 以下で熱処理されたシリコン膜上をECR-PECVD装置で形成された酸化珪素膜で被覆する事に依り、高膜質なシリコン膜が得られる事が分かる。この為、実施例1で示した様に本発明のシリコン膜を薄膜半導体装置のチャンネル部に用い、ECR-PECVD装置で形成された酸化珪素膜をゲート絶縁層に用いると特性の良い薄膜半導体装置が得られ、又本実施例6で示した様に本発明のシリコン膜に不純物イオンを添加すると、低温で低抵抗のシリコン膜導電層を得る事が可能となる。従って本発明のシリコン膜は単に薄膜半導体装置に有効のみならず、電荷結合装置(CD)のゲート電極や配線など、あらゆる電子装置に使用される非単結晶シリコン膜に取って極めて有効に利用し得る。

【0054】(実施例7) 実施例6の本発明でバケット型質量非分離型のイオン注入装置を用いて不純物イオンをシリコン膜に添加した工程を、質量分離型イオン注入装置に変えて質量数31の燐の一種イオンを打ち込む事に変更した他は、総て実施例6の本発明と全く同一工程で、不純物添加シリコン膜導電層の作成を試みた。本実施例7では燐イオンを 90 KV で $3\times10^{15}\text{ 1/cm}^2$ 打ち込んだ。こうして得られた不純物添加シリコン膜の抵抗を測定した所、基板内5ヶ所を総て $1\text{ G}\Omega/\square$ で実質的には全く電流は流れなかった。これは実施例6の本発明では、不純物の添加を質量非分離型のイオン注入装置を用い、原料ガスとして水素・ホスフィン混合ガスを使用

22

した為、シリコン膜に燐元素添加時には必然的に水素イオンの添加が同時に行われ、イオン添加の際生じた欠陥が水素イオンで修復される為、本発明の良質なシリコン膜に限って、低温で低抵抗シリコン導電層が作成されたので有る。

【0055】(実施例8) 図10(a)~(d)は本実施例8に於けるセルフ・アライン型スタガード構造のMIS型電界効果トランジスタを構成するシリコン薄膜半導体装置の製造工程を断面で示した図で有る。まず実施例1と同様基板1001を洗浄した後、下地保護膜1002として SiO_2 膜を 2000 \AA 程度堆積する。続いて第一のシリコン膜を 1500 \AA 程度堆積し、パターニングを行う事でパッドとなるシリコン膜1003を形成する(図10(a))。この第一のシリコン膜として本実施例8では実施例1でチャンネル部シリコン膜を堆積したLPCVD装置を用いて堆積温度 600°C シラン流量 12.5 SCCM で 1500 \AA に堆積したが、これ以外にも同じLPCVD装置を用いて堆積温度 550°C 程度でシリコン膜を堆積する事も、原料ガスとしてジシラン(Si_2H_6)を用いて堆積温度 450°C 程度で堆積する事も、PECVD法にて 250°C 程度でシリコン膜を堆積する事も可能で有る。工程最高温度 600°C を越えぬ膜形成温度で有るならば、如何なる方法であっても構わない。次に第二のシリコン膜1004を堆積するが、この第二のシリコン膜の膜厚が 300 \AA 程度以上有り、不純物注入後のソース・ドレイン領域の抵抗値がトランジスタを動作させた時のチャンネル領域の抵抗値に比べて充分低ければ、第一のシリコン膜又はパッドとなるシリコン膜1003は必要とされない。本実施例8では第二のシリコン膜1004を実施例1の本発明でチャンネル部となるシリコン薄膜と同じ方法で堆積した。即ちLPCVD法にてモノシランを原料ガスとし、堆積温度 550°C 、シラン流量 100 SCCM 堆積速度 21.2 \AA/m inで 250 \AA の膜厚に堆積した。その後実施例1の本発明でシリコン膜の結晶性を高める為に行ったのと全く同一の熱処理を施した。即ち窒素雰囲気下 600°C で23時間の熱処理を行った。(図10(b))。次に第二のシリコン膜のパターニングを行った後、実施例1の本発明と同様の方法でゲート絶縁層1005を形成した。即ち、ECR-PECVD法で SiO_2 膜を 1500 \AA 堆積した。次にゲート電極となる金属膜などを形成する。本実施例8ではゲート電極材料として、 2000 \AA の膜厚を有するクロム膜を用いた。クロム膜は基板温度 180°C でスパッター法に依り形成された。成膜直後のクロムのシート抵抗値は $994\text{ m}\Omega/\square$ で有った。引き続きAPCVD法でクロム上に 300°C の基板温度で SiO_2 膜を 3000 \AA 堆積した。その後レジストでパターニングを行い、ゲート電極1006と SiO_2 膜に依る保護キャップ層1007を形成し、不純物イオンを添加した。本実施例8では不純物として燐を選びn

型薄膜半導体装置の作成を目指したが、無論他元素もその目的に応じて可能で有る。本実施例8では質量分析装置が付いていないイオン打ち込み装置を用いて不純物イオン添加を施した。原料ガスとして水素中に希釈された濃度5%のホスフィンを用い、加速電圧110kVで $5 \times 10^{15} 1/\text{cm}^2$ の濃度に打ち込んだ。この様にして、第一のシリコン膜と第二のシリコン膜の一部はソース・ドレイン領域1008となり、又 SiO_2 膜に依る保護キャップ層1007が有るため、この下に位置する第二のシリコン膜はイオン添加されず、チャンネル部1009を構成するに至る(図10(c))。次に該基板を窒素雰囲気下350℃で2時間の熱処理を施し、添加不純物イオンの活性化を行った。その後層間絶縁膜として SiO_2 膜1010を5000Å堆積し、続いてコンタクト・ホールを開孔し、アルミニウムなどで配線1011をし、セルフ・アライン型薄膜半導体装置が完成する(図10(d))。

【0056】こうして作成したセルフ・アライン型薄膜半導体装置のトランジスタ特性を測定した所、 $L=W=10\mu\text{m}$ 、 $V_{ds}=4\text{V}$ 、 $V_{gs}=10\text{V}$ でオン電流は4.89 μA 、ソース・ドレイン電流の最小値は $V_{gs}=-3.5\text{V}$ の時0.21pA、又 $V_{gs}=-10\text{V}$ で定義したオフ電流は2.65pA、電界効果移動度 $\mu_0=26.1\text{cm}^2/\text{v}\cdot\text{sec}$ と極めて良好なセルフ・アライン型薄膜半導体装置が出来上がった。

【0057】比較の為にチャンネル部シリコン膜をLPCVD法で600℃で作成した他は本実施例8の本発明と全く同一の工程でセルフ・アライン型薄膜半導体装置を作成した。しかしながら実施例6で詳述した様に、従来のシリコン膜では薄膜部の添加不純物元素の活性化がなされず、薄膜部の不純物添加シリコン膜の抵抗が高過ぎ、それ故トランジスタのオン電流は47.9pAと非実用的となった。これに対し、本実施例8の本発明では特性変動の主因となる水素化プラズマ処理を排除し、且つ低温工程で極めて良好なセルフ・アライン型薄膜半導体装置の作成に成功した。これは実施例2で示した如くチャンネル部シリコン膜半導体層の膜厚を500Å以下の薄膜化をして、基本的な半導体特性を向上せしめても尚実施例6の本発明に依る薄膜導伝性シリコン膜の作成に依り、薄膜部のソース・ドレイン領域の形成が低温で容易になされた賜物で有る。即ち、ドナー又はアクセプターとなる不純物の活性化は従来膜厚が1000Å程度以上有るシリコン膜に550℃程度以上の熱処理を加えねば達成し得なかった。この為、セルフ・アライン型薄膜半導体装置ではチャンネル部の膜厚も必然的に1000Å程度以上となり、特性も悪かった。その上、ゲート絶縁層とゲート電極が出来上がった後、添加不純物イオン活性化の目的で550℃程度以上の熱処理が施される為、ゲート絶縁膜の膜質劣化が生じ、水素化処理が必要不可欠で有った。又、ゲート電極として金属材料の使用が

困難であった為、ゲート線の抵抗が高かったり、ゲート電極とゲート線を別々に作成する必要が有った。ところが本発明に依り、金属材料をゲート電極として使用出来、同時にばらつきの主因で有る水素処理を排除し、より簡易な製造方法で高特性の薄膜半導体装置を安定的に製造し得る事に成功した。

【0058】

【発明の効果】以上述べて来た様に、本発明に依れば、表面が絶縁性物質で有る基板上にシリコン膜を堆積し、該シリコン膜を600℃程度の熱処理を施した後、ECR-PECVD法に依る酸化珪素膜を堆積する事でシリコン膜の膜質を高め得る。例えばこれに依り、表面が絶縁性物質で有る基板上へ薄膜半導体装置の形成に於いて、チャンネル部シリコン膜を堆積した後、600℃以下の温度で熱処理する工程と、ゲート絶縁膜をECR-PECVD法で形成する工程を含む薄膜半導体装置の製造方法、或いはチャンネル部シリコン膜半導体層を構成するアモルファス・シリコン膜を堆積した後、ゲート絶縁層を形成する前に該アモルファス・シリコン膜上に酸素プラズマを照射し、その後、600℃以下の温度で熱処理する様な工程を含む製造方法等に依りトランジスタ特性を大幅に改善し、こうした優良なトランジスタ特性を有する薄膜半導体装置を大面積に均一に簡便な手法にて形成する事が可能となり、LSIの多層化や薄膜トランジスタを用いたアクティブマトリックス液晶ディスプレイの高性能化や低価格化を実現すると言う多大な効果を有する。

【図面の簡単な説明】

【図1】 本発明の一実施例を示すシリコン薄膜半導体装置製造の各工程に於ける素子断面図。

【図2】 本発明の実施例で用いた電子サイクロトロン共鳴プラズマCVD装置の概要を示す図。

【図3】 本発明の効果を示す図。

【図4】 本発明の効果を示す図。

【図5】 本発明の一実施例を示すシリコン薄膜半導体装置の素子断面図。

【図6】 本発明の効果を示す図。

【図7】 本発明の一実施例を示すシリコン薄膜半導体装置製造の各工程に於ける素子断面図。

【図8】 本発明の一実施例を示すシリコン薄膜半導体装置製造の各工程に於ける素子断面図。

【図9】 本発明の効果を示す図。

【図10】 本発明の一実施例を示すシリコン薄膜半導体装置製造の各工程に於ける素子断面図。

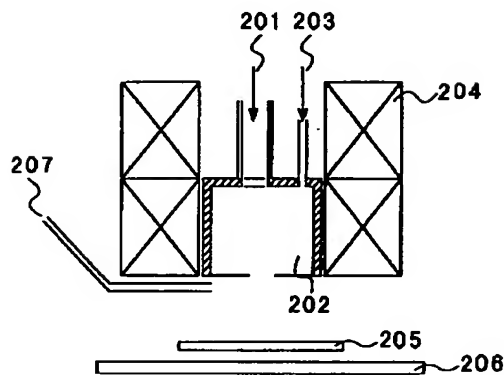
【符号の説明】

- 101...下地基板
- 102...下地保護膜
- 103...ソース・ドレイン領域
- 104...シリコン薄膜
- 105...チャンネル部シリコン薄膜

25

106…ゲート絶縁膜
 107…ゲート電極
 108…層間絶縁膜
 109…ソース・ドレイン取り出し電極
 201…導波管
 202…反応室
 203…ガス導入管
 204…外部コイル
 205…基板
 206…ヒータ
 207…ガス導入管
 501…ソース・ドレイン領域
 502…ゲート電極
 503…ソース・ドレイン領域
 504…ゲート電極
 505…ゲート電極
 506…マスク材
 507…ソース・ドレイン領域
 701…基板
 702…下地保護膜
 703…パッドとなるシリコン膜
 704…第二のシリコン膜
 705…ゲート絶縁層
 706…ゲート電極
 707…レジスト
 708…ソース・ドレイン領域
 709…チャンネル部シリコン膜
 710…層間絶縁膜

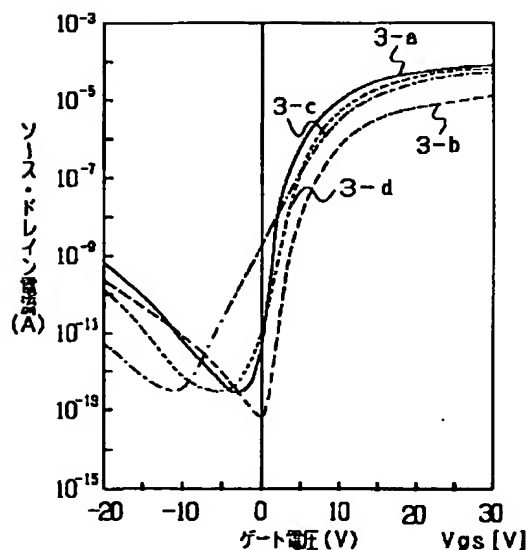
【図2】



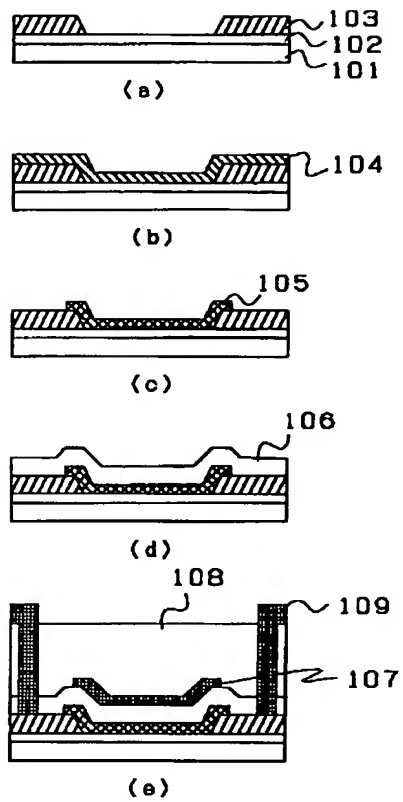
26

711…配線
 801…絶縁基板
 802…下地SiO₂膜
 803…不純物を含んだシリコン薄膜
 804…ソース・ドレイン領域
 805…アモルファス・シリコン薄膜
 806…いずれチャンネル部になる位置に丈残されたアモルファス・シリコン薄膜
 807…酸素プラズマ
 10 808…アモルファス・シリコン薄膜を酸化して形成したSiO₂膜
 809…いずれチャンネル部となる残留しているアモルファス・シリコン薄膜
 810…ECR-PECVD法で堆積したSiO₂膜
 811…チャンネル部を構成するシリコン薄膜
 812…ゲート電極
 813…ソース・ドレイン取り出し電極
 1001…基板
 1002…下地保護膜
 20 1003…パッドとなるシリコン膜
 1004…第二のシリコン膜
 1005…ゲート絶縁層
 1006…ゲート電極
 1007…保護キャップ層
 1008…ソース・ドレイン領域
 1009…チャンネル部シリコン膜
 1010…層間絶縁膜
 1011…配線

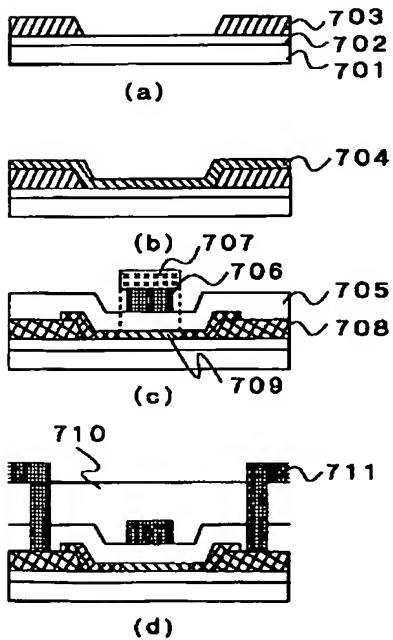
【図3】



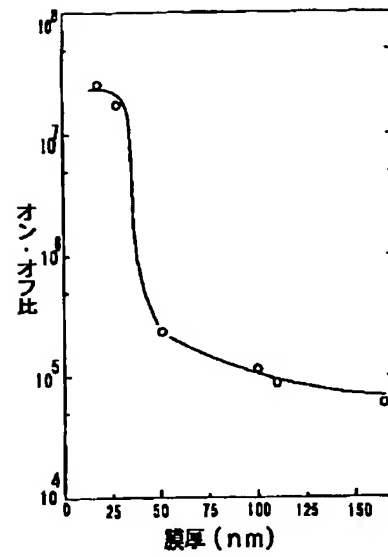
【図1】



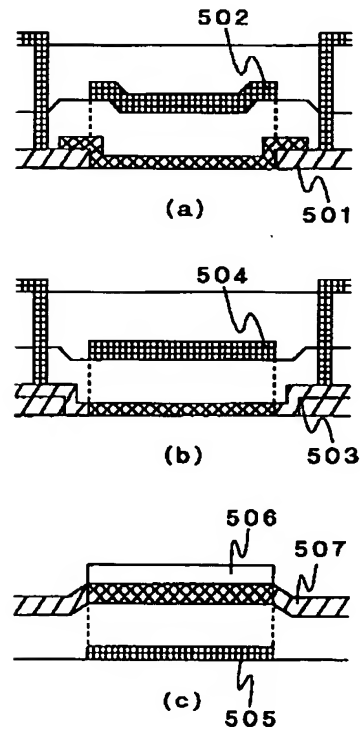
【図7】



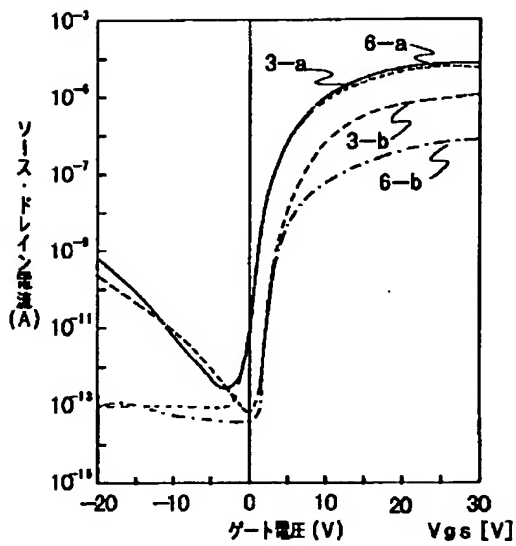
【図4】



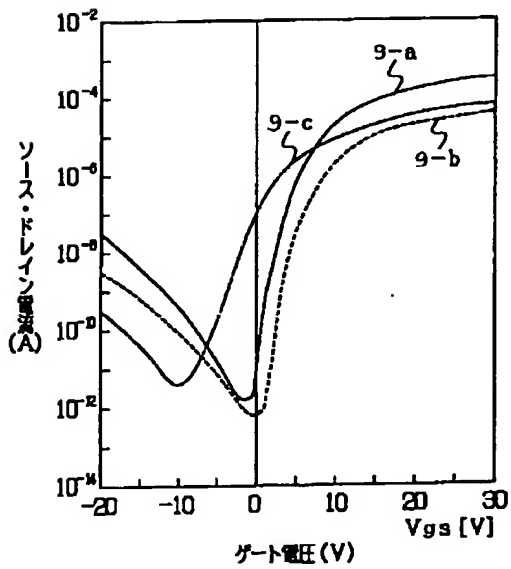
【図5】



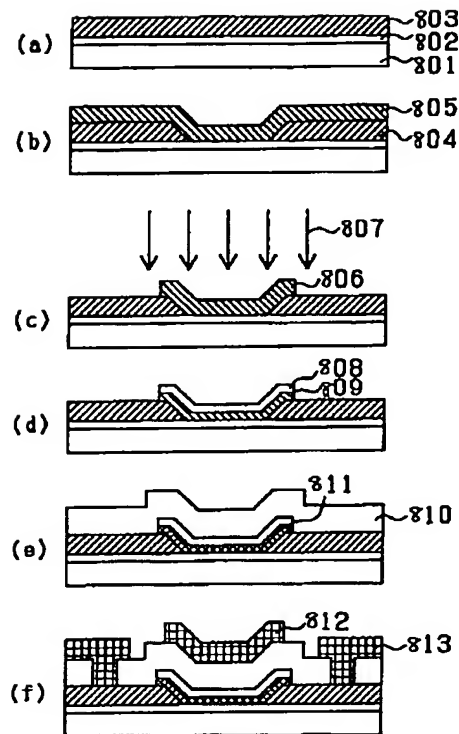
【図6】



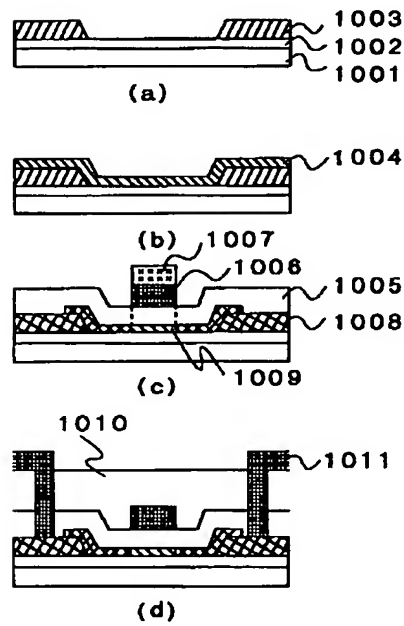
【図9】



【図8】



【図10】



【手続補正書】

【提出日】平成10年4月15日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】薄膜半導体装置の製造方法

【特許請求の範囲】

【請求項1】 基板上にアモルファスシリコン膜を形成し、前記アモルファスシリコン膜上に酸素プラズマを照射して第1酸化珪素膜を形成し、前記第1酸化珪素膜上に減圧CVD法により第2酸化珪素膜を形成し、しかる後に前記アモルファスシリコン膜を結晶成長させることを特徴とする薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリックス液晶ディスプレイ等に応用される薄膜トランジスタや三次元LSIデバイスなど、絶縁性物質上に作成される薄膜半導体装置の製造方法に関するものである。

【0002】

【従来の技術】近年、液晶ディスプレイの大画面化、高解像度化に伴い、その駆動方式は単純マトリックス方式からアクティブマトリックス方式へ移行し、大容量の情報を表示出来るように成りつつ有る。アクティブマトリックス方式は数十万を越える画素を有する液晶ディスプレイが可能で有り、各画素毎にスイッチングトランジスタを形成するものである。各種液晶ディスプレイの基板としては、透過型ディスプレイを可能ならしめる熔融石英板やガラスなどの透明絶縁基板が使用されている。

【0003】しかしながら、表示画面の拡大化や低価格化を進める場合には絶縁基板として安価な通常ガラスを使用するのが必要不可欠で有る。従って、この経済性を維持して尚、アクティブマトリックス方式の液晶ディスプレイを動作させる薄膜トランジスタを安価なガラス基板上に安定した性能で形成する事が可能な技術が望まれていた。

【0004】薄膜トランジスタのチャンネル部半導体層としては、通常アモルファス・シリコンや多結晶シリコンが用いられているが、駆動回路を一体化して薄膜トランジスタで形成しようとする場合には動作速度の速い多結晶シリコンが有利である。

【0005】従来この様な薄膜トランジスタを作成する場合、チャンネル部シリコン層を形成した後、ゲート絶縁層を形成するには基板を酸素(O₂)、笑気ガス(N₂O)、水蒸気(H₂O)などを含む酸化性雰囲気下に挿入し、その温度を800℃から1100℃程度の高温としてチャンネル部シリコン層の一部を酸化し、ゲート絶

縁層を形成する熱酸化法が用いられていた。一方、多結晶シリコンを用いた薄膜半導体装置を安価な通常ガラス基板の使用に耐え得る600℃程度以下の工程最高温度で作成するのに種々の方法が試みられている。例えば、チャンネル部半導体層を減圧気相化学堆積法(LPCVD法)で形成した後、ゲート絶縁膜を電子サイクロトロン共鳴プラズマCVD法(ECR-PECVD法)に依り形成し、更に水素プラズマ照射などの水素化処理を施す方法。或いはチャンネル部半導体層にアモルファス・シリコン薄膜を堆積し、その後600℃、24時間程度の熱処理を施し、次に常圧気相化学堆積法(APCVD法)にてゲート絶縁膜を形成し、水素化処理を行う方法などがある。(Japanese J. Appl. Phys., 30L 84 '91)

【0006】

【発明が解決しようとする課題】しかしながら、先に述べた従来の方法に於いては、数多くの問題が指摘されている。まず第一に熱酸化法に依るSiO₂膜の形成では、その形成に少なくとも800℃以上の高温熱処理が伴う為、酸化膜より下部に位置する薄膜層や基板などの耐熱性が問題となる。例えば大面積液晶ディスプレイのスイッチング・トランジスタを作成する場合、基板としては非常に高価な熔融石英板以外はこの様な高温に耐え得ない。又、三次元LSI素子に於いても下層部トランジスタが高温で劣化する為、この熱酸化法は事実上使用不可能となっている。

【0007】次にチャンネル部半導体層をLPCVD法で形成し、ゲート絶縁膜をECR-PECVD法に依り形成し、更に水素プラズマ処理を行う方法に於いては移動度が4~5cm²/V・secと低く、薄膜半導体装置として未だ不十分で有る。加えて薄膜半導体装置の特性を向上させる為に行われている水素化処理に依り、薄膜半導体装置を構成する各種薄膜の一部がエッチングされて沢山有る薄膜半導体装置の幾つかが破壊されて仕舞うと言った問題がある。又、チャンネル部半導体層にアモルファス・シリコン薄膜を堆積し、その後600℃程度の熱処理を施し、APCVD法にてゲート絶縁膜を形成し、更に水素プラズマ照射等の水素化処理を行う方法に於いては、界面捕獲単位が10¹²程度と大きく、又デプレッション型の半導体装置特性を示すなど、薄膜半導体装置として未だ不十分で有る。又、先と同様矢張り水素化処理に伴う問題が残り、大面積に均一に且つ安定的に薄膜半導体装置を作成する事が出来なかった。

【0008】従って、薄膜半導体装置としては移動度が大きく、同時に清浄MOS界面を有して界面捕獲単位が低く、且つデプレッションを呈さぬ物が求められて居り、しかもこうした薄膜半導体装置を作成する工程で水素化処理の必要が無く、先述の如き良好な薄膜半導体装置を大面積に均一且つ安定的に作成する製造方法が求め

られていた。

【0009】本発明は上記の事情に鑑みてなされた物で、その目的とする所はMIS型薄膜半導体装置に於いて、工程最高温度が600℃程度以下と言う低温工程で良好な半導体装置特性を有する薄膜半導体装置と、この様な薄膜半導体装置を大面積に渡り均一且つ安定的に製造する方法を提供する事に有る。

【0010】

【課題を解決するための手段】上記目的は、本発明の薄膜半導体装置の製造方法は、基板上にアモルファスシリコン膜を形成し、前記アモルファスシリコン膜上に酸素プラズマを照射して第1酸化珪素膜を形成し、前記第1酸化珪素膜上に減圧CVD法により第2酸化珪素膜を形成し、しかる後に前記アモルファスシリコン膜を結晶成長させることを特徴とする。

【0011】

【実施例】

(参考例1) 以下本発明の参考例を図面を用いて詳述するが、本発明が以下の参考例に限定されるものではない。

【0012】図1(a)～(e)は本参考例1に於ける自己非整合型スタガード構造のMIS型電界効果トランジスタを構成するシリコン薄膜半導体装置の製造工程を断面で示した図で有る。

【0013】本参考例1では、下地基板101として235mm²の熔融石英ガラスを用いたが、600℃の工程最高温度に耐え得る基板又は下地物質で有るならば、その種類や大きさは無論問われない。例えば通常ガラス基板の他にシリコンウェハーなどの半導体基板及びそれらを加工したLSI、三次元LSIや、或いはシリコン・カーバイト、アルミナ、窒化アルミニウムなどのセラミックス基板なども下地基板として可能で有る。

【0014】まずアセトン又はメチル・エチル・ケトン、メチル・イソ・ブチル・ケトンやシクロヘキサノンなどの有機溶剤中に下地基板101を浸し、超音波洗浄を行う。洗浄後窒素中又は減圧下にて乾燥を施し、更にエタノールによる超音波洗浄を行った後窒素バブリングされている純水にて水洗を施す。次に下地基板101を沸騰している温度60%の硝酸中に5分間浸し、更に窒素バブリングされている純水中で洗浄した。基板として金属など酸に依り腐食されたり、変質して仕舞う物質を用いる場合、この硝酸に依る洗浄は必要とされない。又この強酸に依る洗浄では酸として硝酸の他に硫酸なども可能で有る。

【0015】こうして洗浄された石英基板上に常圧気相化学堆積法(APCVD法)で下地保護膜となる二酸化珪素膜(SiO₂膜)102を2000Å堆積した。この下地SiO₂膜102は前述の如き種々多様な物質を基板として用いる際、後に堆積されるシリコン薄膜の膜質、及びそれを用いて構成される薄膜トランジスタの性

能を安定化する為に必要で有る。と同時に、例えば基板101として通常ガラスを用いた場合、ガラス中に含まれているナトリウムなどの可動イオンが、又基板101として各種セラミック板を用いた際には基板中に添加されている焼結助材原料などがトランジスタ部に拡散混入するのを防ぐ役割をも演じている。又金属板を基板101として用いる場合は、絶縁性を確保する為に下地SiO₂は必要不可欠で有る。又、三次元LSI素子では、トランジスタ間や配線間の層間絶縁膜に相当している。下地SiO₂膜102堆積時の基板温度は300℃で、窒素に依り20%に希釈されたシラン600SCCMを840SCCMの酸素と共にAPCVD法で堆積した。この時のSiO₂膜の堆積速度は3.9Å/secで有った。

【0016】続いてドナー又はアクセプターとなる不純物を含んだシリコン薄膜103を減圧CVD法にて堆積した。本参考例1ではn型トランジスタ作成を目指し不純物としてリンを選んだが、n型ならばリン以外に5族、6族の元素、P型ならばボロンを始めとして2族、3族の元素が不純物元素として添加され得る。この不純物を含んだシリコン薄膜103はいずれソース・ドレイン領域となる部位で、本参考例1の如く不純物をCVD法で添加する方法の他、まず最初に不純物を含まない真性シリコン膜を形成して居き、後に気相或いは真性シリコン膜に接する固相より不純物を拡散させて添加する方法や、不純物をイオン化して真性シリコン膜に打ち込む方法などがある。これら、真性シリコン膜を形成した後拡散法やイオン打ち込み法で不純物を添加する手法を用いると真性シリコン膜の所望の部位のみに不純物を添加する事が可能となり、これにより例えばトランジスタのゲート電極端とソース端又はドレイン端が自己整合したセルフ・アライン・トランジスタが可能となったり、不純物添加濃度を各部位で変える事に依りシリコン膜中の電流密度や比抵抗を変えて所望の部位のみに電流を流す事などが可能となる。

【0017】本参考例1では不純物としてリンを選んだが、ホスフィン(PH₃)とシランを混合したガスを用いて、不純物を含んだシリコン薄膜103を1500Å堆積した。

【0018】本参考例1では184.51の容積を有する減圧CVD炉内にモノシランを200SCCM、ヘリウムが99.5%でホスフィンが0.5%のヘリウム・ホスフィン混合ガスを6SCCM、更にヘリウム100SCCMを流し、堆積温度600℃、炉内圧力100mtorrで堆積した。この時の堆積速度は29.6Å/minで、成膜直後のシート抵抗値は2.025Ω/□で有った。

【0019】次に、前記シリコン薄膜上にレジストを形成し、四弗化炭素(CF₄)と酸素(O₂)の混合プラズマに依り、前記薄膜をパターニングし、ソース・ドレイン領域103を形成した(図1(a))。続いて沸騰硝酸中に5分間浸す洗浄で残留レジストなどの不純物を

取り除き、1.67%弗化水素酸に20秒浸してソース・ドレイン領域103表面上の自然酸化膜を取り除き、直ちに減圧CVD法でチャンネル部となるシリコン薄膜を堆積した。

【0020】この時減圧CVD反応炉の容積は184.5lで、基板は反応炉中央付近に水平に置かれる。原料ガス及びヘリウム・窒素・アルゴン・水素等の希釈ガスは必要に応じて反応炉下部より炉内に導入され、反応炉上部から排気される。石英ガラスで作られた反応炉の外側には3ゾーンに分かれたヒーターが設置されて居り、それらを独立に調整する事で反応炉内中央部付近に所望の温度で均熱帯を形成する。この均熱帯は約350mmの高さで広がり、その範囲内での温度のずれは、例えば600℃に設定した時0.2℃以内である。従って挿入基板間の間隔を10mmとすれば1バッチで35枚の基板の処理が可能で有る。本参考例1では20mm間隔で17枚の基板を均熱帯内に設置した。

【0021】排気はロータリーポンプとメカニカル・ブースターポンプを直結して行い、反応炉内の圧力は測定値がガスの種類に依存しない隔膜式圧力計(MKS社バロトロン・マノメーター)に依り測定した。反応炉を550℃に保って、ガス導入用のバルブを閉じて両ポンプにて真空引きを行った場合、反応炉内圧は0mtorrで有る為、背景真空度は悪くとも 10^{-4} torr程度以下で有る。

【0022】ソース・ドレイン領域103が形成され、該領域表面上の自然酸化膜を取り除かれた基板は、表側を下向きとして直ちに減圧CVD炉内に挿入された。挿入時の反応炉内温度は395℃から400℃程度に保たれている。これはソース・ドレイン領域103上に自然酸化膜が形成されるのを極力少なくする為で有るから、挿入時の反応炉内温度は出来る丈低く有るのが望ましい。例えば挿入時の反応炉内温度を室温とする事も可能で有るが、この場合堆積温度迄反応炉内温度を昇温するのに数時間以上費やし、又堆積後室温に戻すのに矢張り数時間必要となる。基板挿入時に反応炉内には約4SLM~10SLMの窒素を流し反応炉内を不活性雰囲気保っている。更に反応炉内入り口付近には約6SLM~20SLMの窒素で窒素カーテンを形成し、基板挿入時に空気が反応炉内に流れ込む事を最小限に止めている。反応炉内に空気中の水分や酸素が入ると、これらは反応炉内壁のSi層に吸着し、又はSiと反応して反応炉内に残留し、チャンネル部となるシリコン膜堆積の際、脱ガスとして現れ、堆積シリコン膜の膜品質を低下させる原因となる。

【0023】基板挿入後、真空引き、漏洩検査を施した。漏洩検査では反応炉に通ずる全バルブを閉じて反応炉を完全に孤立させて、反応炉内圧力の変化を調べた。本参考例1では反応炉内温度が400℃で2分間の完全孤立後、反応炉内圧力は1mtorr以下で有った。漏

洩検査にて異常が無い事を確認した後、反応炉内温度を挿入温度の400℃から堆積温度まで昇温する。本参考例1では550℃でチャンネル部となるシリコン薄膜を堆積した為、昇温するのに一時間費やした。炉内温度が堆積温度の550℃に達するには35分間程度で済むが、反応炉壁からの脱ガスを充分放出する為にも、最短一時間以上、好ましくは数時間の昇温期間が望ましい。この昇温期間中、二つのポンプは運転状態に有り、少なくとも純度が99.995%以上の不活性又は還元性ガスを流し続ける。これらのガス種は水素・ヘリウム・窒素・ネオン・アルゴン・キセノン・クリプトン等の純ガスの他、これらのガスの混合ガスも可能で有る。本参考例1では純度99.9999%以上のヘリウムを350SCCM流し続け、反応炉内圧力は 80.7 ± 1.2 mtorrで有った。

【0024】堆積温度到達後、原料ガスで有る所定量のシラン又はシランと希釈ガスの混合ガスを反応炉内に導入し、シリコン薄膜104を堆積する。希釈ガスとしては、先の昇温期間に流したガスと同種の組み合わせが可能で有るが、望ましくは各ガスの純度はそれぞれが99.999%以上が良い。本参考例1では希釈ガスを用いず、純度99.999%以上のシランを100SCCM流してシリコン薄膜104を堆積した。この時、反応炉内の圧力は反応炉とメカニカル・ブースターポンプの間に設置されたコンダクタンスバルブの開閉度を調整して、 398.6 ± 1.9 mtorrに保った。本参考例1ではチャンネル部となるシリコン薄膜104は21.2Å/mの堆積速度で248Åの膜厚に堆積した(図1(b))。

【0025】本参考例1ではシリコン薄膜の堆積をLPCVD法で行い、原料ガスもモノシランを用いたが、これ以外にもプラズマCVD法やAPCVD法やスパッタ法などで堆積する事も可能で有る。又原料ガスもモノシランに限らず、ジシランやトリシランなどの高次シランやジクロールシランなども可能で有る。又、無論上記種々のCVD法と上記種々の原料の組み合わせによってシリコン薄膜を堆積する事も可能で有る。

【0026】次にこうして得られた基板に熱処理を施して、シリコン薄膜104の結晶化を進め、結晶粒の増大を行った。熱処理炉は縦型炉で通常400℃に保持されて居り、純度99.999%以上の窒素ガスを20SLM流し続けて、熱処理炉内部を不活性雰囲気保持している。室温と温度平衡に達している基板は17分間掛けて400℃の縦型熱処理炉に挿入した。挿入後30分間400℃に保ち、基板の位置に依らず炉内が総て400℃の均一温度に達した後、熱処理炉の温度を600℃に昇温する。この400℃でまず30分間保持する事に依り基板の位置にかかわらず、どこでも同じ熱履歴を得る事が出来、シリコン薄膜の結晶化を均一に行う事が可能となる。熱処理炉には常に20SLMの窒素が流れ続

け、熱処理炉の容積は約1761で有るため、この400℃に於ける予備加熱に依り熱処理炉内部は完全に窒素雰囲気置換される。400℃から600℃への昇温は約1時間掛けて行われ、600℃で温度平衡に達した後、7時間以上の熱処理に依り、シリコン薄膜の結晶化は進められる。本参考例1では600℃に達した後23時間の熱処理を施した。

【0027】こうして得られたシリコン薄膜は、レジストでパターニングされた後、四弗化炭素(CF₄)と酸素(O₂)の混合プラズマに依りエッチングされ、チャンネル部シリコン薄膜105を形成した。(図1(C))本参考例1で形成したシリコン薄膜はCF₄とO₂の比が50SCCM対100SCCMで有る15Paの真空プラズマ放電で、その出力が700Wの時のエッチングでは2.1Å/secのエッチング速度を有していた。

【0028】次にこの基板を沸騰している濃度60%の硝酸にて洗浄し、更に1.67%弗化水素酸水溶液に20秒間浸してソース・ドレイン領域103とチャンネル部シリコン薄膜105上の自然酸化膜を取り除いて清浄なシリコン表面が出現した後、直ちに電子サイクロトロン共鳴プラズマCVD装置(ECR-PECVD装置)にてゲート絶縁膜となるSiO₂膜106を堆積した。

(図1(d))本参考例1で用いたECR-PECVD装置の概要を図2に示す。ゲート絶縁膜堆積に際しては、2.45GHzのマイクロ波が導波管201を通じて反応室202に導かれ、ガス導入管203より導入される100SCCMの酸素をまずプラズマ化する。この時、マイクロ波の出力は2250Wで有り、反応室202の外側に設置された外部コイル204に依り反応室202内の酸素プラズマに875Gaussの磁場を掛けてプラズマ中の電子にECR条件を満足せしめている。この酸素プラズマは前記発散磁場によって反応室外に引き出され、プラズマに対して垂直に置かれた基板205を10秒間照射する。基板205の背面にはヒーター206が有り、基板全体を100℃に保っていた。この時反応室内の圧力は1.85mtorrで有った。酸素プラズマ引き出し口の直後には別のガス導入管207が設けられて居り、10秒間で酸素プラズマが十分安定化した後、このガス導入管207より純度99.999%以上のシラン60SCCMを酸素プラズマ中に混入させる。こうして得られた酸素シラン混合プラズマを30秒間基板に照射してゲート絶縁層となるSiO₂膜106を1500Å堆積した(図1(d))。この時反応室の圧力は2.35mtorrで有った。

【0029】次にクロムをスパッター法で1500Å堆積し、パターニングに依り、ゲート電極107を形成した。この時シート抵抗値は1.356±0.047Ω/□で有った。本参考例1ではゲート電極材料としてクロムを用いたが、無論これ以外の導電性物質も可能で有るし、又その形成方法もスパッター法に限らず蒸着法やC

VD法なども可能で有る。続いてAPCVD法で層間絶縁膜108となるSiO₂膜を5000Å堆積した。この堆積は本参考例1で下地SiO₂膜102を堆積した条件と全く同一で唯一堆積時間のみを変えて行った。層間絶縁膜形成後、コンタクトホールを開け、ソース・ドレイン取り出し電極109をスパッター法などで形成し、トランジスタが完成する(図1(e))。本参考例1ではソース・ドレイン取り出し電極材料としてアルミニウムを用いスパッター法で8000Åの膜厚に堆積して、ソース・ドレイン取り出し電極を形成した。この時堆積アルミニウム膜のシート抵抗は42.48±2.02mΩ/□で有った。

【0030】この様にして試作した薄膜トランジスタ(TFT)の特性の一例V_{gs}-I_{ds}曲線を図3の3-aに示した。ここでソース・ドレイン電流I_{ds}はソース・ドレイン間電圧V_{ds}=4V、温度25℃で測定した。トランジスタサイズはチャンネル部の長さL=10μm、幅W=10μmで有った。V_{ds}=4V、V_{gs}=10Vでトランジスタをオンさせた時のオン電流は235μA/□の基板の中央と四角の5ヶのトランジスタを測定した所、I_{ON}=4.65±0.39μAと良好なトランジスタ特性を有する薄膜半導体装置が得られた。

又、トランジスタの飽和電流領域より求めた電界効果移動μ_oと捕獲密度N_t(J. Levinson et al. J. Appl. Phys. 53. 1193. 1982)はそれぞれμ_o=25.85±0.96cm²/v. sec、N_t=(6.81±0.15)×10¹¹1/cm²で有った。図3の3-bには比較の為に従来技術の一例に依って作成した薄膜半導体装置のトランジスタ特性を図示した。即ち、チャンネル部シリコン薄膜を減圧CVD法にて600℃で堆積し、24時間の熱処理を施さぬ他は総て本参考例1の本発明と同一の工程で薄膜半導体装置を作成したもので有る。この時、減圧CVD法でチャンネル部シリコン薄膜を堆積する装置は本参考例1の本発明で用いた装置と同一で有り、原料ガスのモノシランは12.5SCCM流し、反応炉内圧力は9.0mtorr、堆積速度は11.75Å/minで256Åの膜厚に堆積した。この従来技術の一例のTFTのオン電流はI_{ds}=0.91±0.12μAで電界効果移動度はμ_o=4.75±0.20cm²/v. sec、捕獲密度N_t=(5.18±0.13)×10¹¹1/cm²で有った。この他に、チャンネル部シリコン薄膜を同様に減圧CVD法にて600℃モノシラン流量12.5SCCMにて堆積し、本参考例1と同一の工程でゲート絶縁膜を堆積した後、ECR-PECVD装置にて水素プラズマ処理を施し、それ以外は本参考例1の本発明と同一工程で薄膜半導体装置を作成した。これも水素化処理を行う従来技術の一例で有る。水素化処理は図2に示したECR-PECVD装置にてゲート絶縁膜堆積後、真空引きを行い、更にヒーター206により基板205の温度を

300℃に1時間掛けて昇温した後に行った。純度99.9999%以上の水素ガス125SCCMはガス導入管203より反応室202に導かれ、水素プラズマを立てた。マイクロ波出力は2000Wで、反応室の圧力は2.63mtorrで有った。水素プラズマ照射は30分間行った。こうして作成した薄膜半導体装置のTFT特性を測定した所、オン電流 $I_{ds}=0.96\pm0.13\mu A$ 、電界効果移動度 $\mu_o=4.68\pm0.22\text{cm}^2/\text{v}\cdot\text{sec}$ 、捕獲密度 $N_t=(5.12\pm0.13)\times10^{11}1/\text{cm}^2$ で有った。即ち、水素プラズマ処理の有無にかかわらずチャンネル部シリコン膜を600℃にて減圧CVD法で堆積する従来技術に比べると、本発明では例えば電界効果移動度を5倍程度に高めるとのトランジスタ特性の大幅な向上をもたらす。

【0031】次に従来技術の別な一例と本参考例との比較を行う。即ち従来技術の別な一例として、チャンネル部シリコン薄膜の形成は本参考例1と同様に行うものの、ゲート絶縁膜をAPCVD法で堆積する従来技術及びゲート絶縁膜をAPCVD法で堆積した後、水素プラズマ処理を行う従来技術に対する本発明の多大なる優位性を見る。従来技術で有るゲート絶縁膜をAPCVD法で堆積して薄膜半導体装置を作成する工程では、ゲート絶縁膜をAPCVD法で1500Åに堆積した以外、本参考例1と同一の工程で薄膜半導体装置を作成した。APCVD法では基板温度を300℃に保ち、窒素中に20%シランを含んだ窒素、シラン混合ガスを300SCCM、酸素を420SCCM流し、約140SLMの希釈用窒素をこれらの原料ガスと共に流して SiO_2 膜を堆積した。堆積速度は1.85Å/secで有った。この様にして作成した従来技術による薄膜半導体装置のトランジスタ特性を図3の3-Cに示した。このトランジスタのオン電流は $I_{ON}=1.49\pm0.05\mu A$ 、電界効果移動度 $\mu_o=24.60\pm0.72\text{cm}^2/\text{v}\cdot\text{sec}$ 、捕獲密度 $N_t=(9.20\pm0.15)\times10^{11}1/\text{cm}^2$ で有った。この従来技術と本参考例を比較すると、本参考例は捕獲単位を大幅に低減し、ゲート電圧0V付近で急激に立ち上がる極めて優良な薄膜半導体装置を作成した事が明瞭となる。APCVD法でゲート絶縁膜を堆積する従来技術では、移動度又は本発明並に高める事が出来たが、その実、ソース・ドレイン電流の最小値が-11V付近に有り捕獲密度も高い為、立ち上がりの傾斜もゆるやかで薄膜半導体装置として実用的ではなかった。一方更に別なる従来技術の一例を図3の3-dに示す。ここではチャンネル部シリコン薄膜の形成は本参考例1と同様に行うものの、ゲート絶縁膜はAPCVD法で堆積し、その後水素プラズマ処理を施す技術で有る。ゲート絶縁膜を前述と同一の条件で堆積し、その後直ちにECR-PECVD装置により前述と同一の条件で水素プラズマ照射を施した他は本参考例1と同一の工程を経て薄膜半導体装置を作成した。こうして得られたTFTの

特性を図3の3-dに示した。オン電流は $I_{ds}=2.91\pm0.30\mu A$ 、電界効果移動度 $\mu_o=24.51\pm0.67\text{cm}^2/\text{v}\cdot\text{sec}$ 、捕獲密度 $N_t=(7.94\pm0.15)\times10^{11}1/\text{cm}^2$ で有った。このプラズマ処理を用いた従来技術に比較しても本発明はあらゆるパラメーターで良好な特性を示している事が分かる。又水素プラズマ処理を施した従来技術で作成したトランジスタでは測定した5つのトランジスタの内1つが+2V程度しきい値電圧 V_{th} がずれており、前述の各パラメーターの平均値と標準偏差の値にこのトランジスタの値を含ませていない。即ち水素プラズマ処理を用いた従来技術では水素プラズマ処理を行わない従来技術に対してトランジスタ特性は改善されるが、大面積に均一に同質なトランジスタを作成する事は困難で有った。加えて水素プラズマ処理を施した試料はロット間の変動が大きく、安定的な生産が困難で有る。とりわけ、しきい値電圧のずれとソース・ドレイン電流が最小となるゲート電圧値の変動がロット間で非常に大きい。これに対して本発明に依り、ばらつきの原因となる水素化処理を排除して尚、従来よりも優良なトランジスタを大面積上に均一に作成し得た事が分かる。

【0032】(参考例2)チャンネル部となるシリコン薄膜(図1.104)の堆積時間を変えてシリコン薄膜104の堆積膜厚を変えた他は総て参考例1と同じ工程に依り薄膜半導体装置を作成した。本参考例2ではシリコン薄膜104を190Å、280Å、515Å、1000Å、1100Å、1645Åと六種の異なった膜厚とし、それぞれ薄膜半導体装置を作成した。こうして得られた薄膜半導体装置のオン電流とオフ電流の比をチャンネル部シリコン膜の膜厚に対して図示した結果が図4で有る。この図から分かる様にチャンネル部シリコン膜半導体層の膜厚が500Å以下となる薄膜半導体装置ではオン・オフ比が急激に改善されて7桁以上を示す良好な特性が得られた。

【0033】(参考例3)ソース領域或いはドレイン領域の少なくともどちらか一方の領域がゲート絶縁膜を介してゲート電極と重なり合っていない構造を有する薄膜半導体装置(オフ・セット型薄膜半導体装置)を参考例1と同一の製造方法にて作成した。本参考例3ではオフ・セット型薄膜半導体装置として図5(a)に示すスタガード型薄膜半導体装置をアラインメントを高精度に行う事に依り作成したが、オフ・セット型薄膜半導体装置としては無論これ以外の構造の物も可能で有る。例えば図5(b)に示すようにソース・ドレイン領域503を真性シリコン薄膜にゲート電極504をマスクとして不純物イオンを打ち込んで作成する方法や図5(c)に示すゲート電極505が下側に有る逆スタガード型薄膜半導体装置でソース・ドレイン領域507をマスク材506を用いて作成した物なども可能で有る。

【0034】本参考例3では下地基板として直径75mm

の溶融石英ガラスを用いた他は参考例1と同じ製造方法でオフ・セット型薄膜半導体装置を作成した。即ち、まず基板洗浄を施し、下地 SiO_2 膜をAPCVD法などで堆積した後、リン添加されたシリコン膜をLPCVD法で堆積し、更にパターニングする事に依りソース・ドレイン領域501を形成した。ここで後にチャンネル長となるソース・ドレイン領域間距離は $10.5\mu\text{m}$ で有った。次に参考例1と同様にしてチャンネル部となるシリコン薄膜を $21.2\text{\AA}/\text{min}$ の堆積速度で 248\AA の膜厚に堆積した。但し、参考例1では基板の表側を下向きとして基板を反応炉に挿入したが、本参考例3では 235mm のダミー石英板上に直径 75mm の基板を表側を上向きに乗せて、反応炉に挿入した。以下参考例1と全く同じ製造方法で熱処理を施し、ゲート絶縁層を堆積し、更にゲート電極502を形成した。このゲート電極502の幅は $10.0\mu\text{m}$ で、ソース・ドレイン間距離 $10.5\mu\text{m}$ の中心とゲート電極幅 $10.0\mu\text{m}$ の中心が一致するように高精度アラインメントを行った。この結果、チャンネル領域に於けるゲート電極端位置とソース領域端との距離(オフセット距離)はそれぞれ $0.25\mu\text{m}$ となる。その後参考例1と同様の製造方法で層間絶縁膜を堆積し、コンタクト・ホール開口後アルミニウムを用いて配線し、薄膜半導体装置が完成した。

【0035】この様にして作成した薄膜半導体装置のトランジスタ特性の一例 $V_{gs}-I_{ds}$ 曲線を図6の6-aに示した。図6の3-aは参考例1で試作した自己非整合型スタガード構造薄膜半導体装置のトランジスタ特性で有る。図からも明確に分かる様に本参考例3ではゲート電圧が負の時に生じるリーク電流を大幅に低下させる事が可能で有る。実際本参考例3に於いてはゲート電圧が -2.5V 以下ではソース・ドレイン電流を 0.1pA 程度に押さええている。図6の6-bは参考例1の従来技術に依りオフセット型薄膜半導体装置を作成した時に得られるトランジスタ特性を比較の為に示している。即ち、チャンネル部シリコン薄膜は 600°C の減圧CVD法で堆積され、ソース・ドレイン間距離 $10.5\mu\text{m}$ の中心とゲート電極幅 $10.0\mu\text{m}$ の中心を高精度アラインメントで位置合わせしオフセット型薄膜半導体装置を作成した時に得られるトランジスタ特性で有る。これ故図6の6-bは従来技術の自己非整合型スタガード構造薄膜半導体装置のトランジスタ特性図6の3-bと直接比較し得る。従来技術に依るオフ・セット型薄膜半導体装置に於いてもリーク電流を 0.1pA 程度以下に低く保つ事は可能で有るが、従来技術に於いてオフセット型薄膜半導体装置を作成するとオン電流や移動度などトランジスタの正特性も低下して仕舞い、実用的では無かった。例えば従来技術に依るオフセット型薄膜半導体装置のオン電流は $I_{ds}=0.090\pm0.01\mu\text{A}$ と自己非整合型薄膜半導体装置に比べてオン電流は一桁以上低下して仕舞う。又この時の移動度も $\mu_o=3.33\pm$

$0.15\text{cm}^2/\text{v}\cdot\text{sec}$ と同様に約3割劣化している。この理由に依り、従来技術に依るオフセット型薄膜半導体装置の製造はその価値が無かった。これに対し、本参考例3は図6の6-aに示されている通り、リーク電流は低く押さえ、且つオン電流も高く維持している。本参考例3ではオン電流として $I_{ds}=3.71\pm0.43\mu\text{A}$ が得られ、自己非整合型薄膜半導体装置のオン電流に比べても殆ど遜色は見られない。又本参考例3の本発明では移動度も $\mu_o=22.00\pm0.95\text{cm}^2/\text{v}\cdot\text{sec}$ と良好な値を示した。

【0036】(参考例4)参考例3では高精度アラインメントを行う事に依りオフセット型薄膜半導体装置を作成したが、無論これ以外にも本発明は有効で有る。図5(b)では真性シリコン膜を堆積し、ゲート電極をパターニングした後、不純物イオンを添加する事でオフセット型薄膜半導体装置を作成した。この方法について詳述する。

【0037】図7(a)~(d)は本参考例4に於けるオフセット型スタガード構造のMIS型電界効果トランジスタを構成するシリコン薄膜半導体装置の構造工程を断面で示した図で有る。まず参考例1と同様基板701を洗浄した後、下地保護膜702として SiO_2 膜を 2000\AA 程度堆積する。続いて第一のシリコン膜を 300\AA 程度以上堆積し、パターニングを行う事でパッドとなるシリコン膜703を形成する。この第一のシリコン膜として本実施例では参考例1でチャンネル部シリコン膜を堆積したLPCVD装置を用いて堆積温度 600°C シラン流量 12.5SCCM で 1250\AA に堆積したが、これ以外にも同じLPCVD装置を用いて堆積温度 550°C 程度でシリコン膜を堆積する事も、原料ガスとしてジシラン(Si_2H_6)を用いて堆積温度 450°C 程度で堆積する事も、PECVD法にて 250°C 程度でシリコン膜を堆積する事も可能で有る。工程最高温度 600°C を越えぬ膜形成温度で有るならば、如何なる方法であっても構わない。次に第二のシリコン膜704を堆積するが、この第二のシリコン膜の膜厚が 300\AA 程度以上有り、不純物注入後のソース・ドレイン領域の抵抗値がトランジスタを動作させた時のチャンネル領域の抵抗値に比べて充分低ければ、第一のシリコン膜又はパッドとなるシリコン膜703は必要とされない。本参考例4では第二のシリコン膜704を参考例1でチャンネル部となるシリコン薄膜と同じ方法で堆積した。即ちLPCVD法にてモノシランを原料ガスとし、堆積温度 550°C 、シラン流量 100SCCM 堆積速度 $21.2\text{\AA}/\text{min}$ で 250\AA の膜厚に堆積した。しかし、第二のシリコン膜形成方法は第一のシリコン膜と同様、工程最高温度 600°C を越えぬ膜形成温度で有るならば、如何なる方法でも可能で有る。例えば、第二のシリコン膜も堆積温度 600°C 、シラン流量 12.5SCCM 、反応炉内圧力 9.0mtorr で堆積しても構わぬし、又、原料ガスにジシランや

トリシランなどの高次シランを用いて更に低温で膜形成する事も可能で有る。この様に何らかの方法で第二のシリコン膜704を形成し(図7(b))、パターニングを行った後、参考例1と同様の方法でゲート絶縁層705を形成した。即ち、ECR-PECVD法で SiO_2 膜を1500Å堆積した。ゲート絶縁層705の形成手段としては第二のシリコン膜704が多結晶シリコン膜である場合、APCVD法で形成する事も出来る。次にゲート電極となる金属膜などを形成する。本参考例4ではゲート電極材料として燐を高濃度に添加したシリコン膜を用いた。ここではLPCVD法で堆積温度600℃、モノシラン200SCCM、ヘリウムが99.5%でホスフィンが0.5%のヘリウム・ホスフィン混合ガスを6SCCM更にヘリウム100SCCMを流し、炉内圧力100mTorrで3000Åの膜厚に堆積した。成膜直後のシート抵抗値は744Ω/□で有った。引き続いてレジストを塗布し、レジストのパターニングを行った後、 CF_4 と O_2 の混合プラズマに依り燐添加シリコン膜のパターニングを行った。 CF_4 と O_2 の比がそれぞれ200SCCMと200SCCMで入射波出力700Wでパターニングを行った。この時の燐添加シリコン膜のエッチング速度は15.4Å/secで5分57秒間エッチングを行い、ゲート電極706を作成した。燐添加シリコン膜の膜厚は3000Åで有ったので、このプラズマエッチングに依り、ゲート電極幅はレジスト707に比べて左右それぞれ2500Å程度細められている(図7(c))。次にゲート電極706作成に用いたレジスト707を剥離せずに残したまま、不純物イオンを添加する。本参考例4では不純物として燐を選びn型薄膜半導体装置を目指したが、無論他元素もその目的に応じて可能で有る。本参考例4では質量分析装置が付いていないイオン打ち込み装置を用いて不純物イオン添加を施した。原料ガスとして水素中に希釈された濃度5%のホスフィンを用い、加速電圧110kVで $3 \times 10^{15} \text{ 1/cm}^2$ の濃度に打ち込んだ。この様にして、第一のシリコン膜と第二のシリコン膜の一部はソース・ドレイン領域708となり、又ゲート電極作成に用いたレジスト707は膜厚がおおよそ2μm程度有るため、この下に位置する第二のシリコン膜はイオン添加されず、チャンネル部709を構成するに至る(図7(c))。又、この方法に依り、オフセット型薄膜半導体装置が作成される。次にゲート電極作成用レジスト707を剥離した後、該基板に600℃で7時間以上の熱処理を施し、添加不純物イオンの活性化及び、チャンネル部シリコン膜709の結晶性が不十分な場合の結晶化を促進する。本参考例4では参考例1の本発明で行った熱処理と同様窒素雰囲気下600℃にて23時間の熱処理を施した。続いて層間絶縁膜として SiO_2 710をAPCVD法などで5000Å堆積し、更に質量分析装置の付いていないイオン打ち込み装置にて、水素を加速電圧80kVで $5 \times 10^{15} \text{ 1/cm}^2$ 打ち

込んだ後、コンタクト・ホールを開口し、アルミニウムなどで配線711をし、オフセット型薄膜半導体装置が完成する。

【0038】こうして作成したオフセット型薄膜半導体装置のトランジスタ特性を測定した所、 $L=W=10\mu\text{m}$ 、 $V_{ds}=4\text{V}$ でオン電流は3.4μA、ソース・ドレイン電流の最小値は $V_{gs}=-3.5\text{V}$ の時0.09pA、又 $V_{gs}=-10\text{V}$ で定義したオフ電流は0.28pAと、トランジスタ・オフ時のリーク電流を低く抑さえ、且つ良好なオン電流を得る事が出来た。

【0039】参考例3及び参考例4で述べた様にオフセット型薄膜半導体装置でソース領域・ドレイン領域が形成された後、熱処理を加える事でオン電流は高く、リーク電流の小さい薄膜半導体装置を作成可能で有るが、本発明が参考例3及び参考例4で詳述したオフセット型薄膜半導体装置の製造方法だけに限定される物では決して無い。例えば参考例4でオフセット型薄膜半導体装置を作成する方法としてゲート電極幅よりも広い幅を持つレジストを打ち込みのマスクとしたが、他にも様々な方法が有る。例えば金属をゲート電極として用い、この表面及び側面を酸化してゲート電極を細めた後に不純物イオンを打ち込む事などでもオフセット型薄膜半導体装置を作成出来る。又、図5(c)に示したように逆スタガード構造に於いてもマスク材506の幅をゲート電極505よりも広げる事などでオフセット型薄膜半導体装置となる。本発明はこれらあらゆる製造方法で作成されたオフセット型薄膜半導体装置に有効で有る。

【0040】(実施例)図8(a)～(f)はMIS型電界効果トランジスタを形成するシリコン薄膜半導体装置の製造工程を断面で示した図で有る。

【0041】本実施例では絶縁性基板801として235mm□の石英ガラスを用いたが、600℃の温度に耐え得る基板又は下地物質で有るならば、その種類や大きさは無論問われない。例えばシリコン・ウェハー上に形成された三次元LSIなども下地基板として可能で有る。まず有機洗浄及び酸洗浄した石英ガラス基板801上面に下地 SiO_2 膜802を常圧化学気相堆積法(APCVD法)で堆積した。下地 SiO_2 膜802の形成は基板温度300℃、シラン流量120SCCM、酸素840SCCM、窒素約140SLMで堆積した。この時の堆積速度は3.9Å/secで、堆積時間は8分33秒で有った。次にドナー又はアクセプターとなる不純物を含んだシリコン薄膜803を減圧気相化学堆積法(LPCVD法)にて堆積した(図8(a))。本実施例では不純物としてリンを選び、フォスフィン(PH_3)0.03SCCM、シラン(SiH_4)200SCCMを原料ガスとして堆積温度600℃で1500Å堆積した。この時の堆積速度は30Å/minで成膜直後のシート抵抗値は1951Ω/□で有った。次に前記シリコン薄膜803上にレジストを形成し、四弗化炭素(CF_4)、酸素(O_2)、窒

素(N_2)等の混合プラズマでパターニングを行い、ソース・ドレイン領域804を形成した。続いて該領域804表面上の汚物・自然酸化膜を取り除いた後、直ちにアモルファス・シリコン薄膜805を減圧CVD法で堆積した。(図8(b))本実施例に於ける減圧CVD装置は184.5lで反応室は石英ガラスに依り作成されている。反応室の外側には3ゾーンに分かれたヒーターが設置されており、それら3つのヒーターを独立に調整する事で反応室内中央部付近に所望の温度で等温領域を形成する。基板はこの等温領域内に水平に設置して、アモルファス・シリコン薄膜805を堆積した。アモルファス・シリコン薄膜805は原料ガスとしてジシラン(Si_2H_6)100SCCMを用い、希釈ガスとしてヘリウム(He)100SCCMを使用した。堆積温度は450℃であった。本実施例のアモルファス・シリコン薄膜805を堆積する為に用いた減圧CVD炉の排気はメカニカル・ブースター・ポンプとロータリー・ポンプを直結して行っている。メカニカル・ブースター・ポンプと反応炉の間にはコンダクタンス・バルブが取り付け有り、このバルブの開閉量を調整する事で、反応室内の圧力を所望の値に調整・維持可能となる。本実施例ではアモルファス・シリコン薄膜805を堆積中、反応室内の圧力を306mtorrに保った。堆積速度は18.07Å/minで、307Åの膜厚にアモルファス・シリコン薄膜805を堆積した。次にこの様にして作成されたアモルファス・シリコン薄膜805上にレジストを形成し、四弗化炭素、酸素、窒素等の混合プラズマでパターニングを行い、いずれチャンネル部となる位置に丈アモルファス・シリコン薄膜806を残した。

【0042】次に、この基板を沸騰している濃度60%の硝酸に洗浄し、更に1.67%弗化水素酸水溶液に20秒間浸してソース・ドレイン領域804といずれチャンネル部となる位置に残されたアモルファス・シリコン薄膜806上の自然酸化膜を取り除いて清浄なシリコン膜が出現した後、直ちに電子サイクロトロン共鳴プラズマCVD装置(ECR-PECVD装置)にて酸素プラズマ807を照射した。(図8(c))本実施例で用いたECR-PECVD装置の概要を図2に示す。酸素プラズマは2.45GHzのマイクロ波を導波管201を通じて反応室202に導き、100SCCMの酸素をガス導入管203から導入して酸素プラズマを立てた。この時反応室内の圧力は1.84mtorrで、マイクロ波の出力は2500Wで有った。反応室の外側には外部コイル204が設けられて居り、酸素プラズマに875Gaussの磁場を掛けてプラズマ中の電子にECR条件を満足せしめている。基板205はプラズマに対して垂直に置かれ、ヒーター206に依り基板温度が300℃となる様保たれている。この条件で酸素プラズマ807を8分20秒間照射して、いずれチャンネル部となる位置に残されたアモルファス・シリコン薄膜806の酸化を行

い、ゲート絶縁層の一部位となる SiO_2 膜808を得た。この時、ゲート絶縁層の一部位となる SiO_2 膜808の下部には、いずれチャンネル部となるアモルファスシリコン薄膜809が残留している。(図8(d))更に真空を破る事なく連続してゲート絶縁層となる SiO_2 膜810を堆積した。この SiO_2 膜810はマイクロ波出力が2250W、シラン流量60SCCM、酸素流量100SCCM、基板温度300℃で、18.75秒間堆積した。堆積中に於ける反応室内圧力は2.62mtorrで有った。こうして形成した多層膜を多波長分散型偏光解析法(多波長分光エリプソメトリー:ソーブラ社MOSSE-S4G)を用いて、いずれチャンネル部となる残留しているアモルファス・シリコン膜809の膜厚と、アモルファス・シリコン膜を酸化して形成した SiO_2 膜808の膜厚、及びECR-PECVD法で堆積した SiO_2 膜810の膜厚を測定した所、アモルファス・シリコン薄膜809が205Å、 SiO_2 膜808が120Å、 SiO_2 膜810が1500Åで有った。又この時、波長が632.8nmに於ける SiO_2 膜の屈折率は、 SiO_2 膜808が1.42、 SiO_2 膜810が1.40で有った。

【0043】次にこうして得られた基板を600℃に保持された電熱炉に挿入し、48時間の熱処理を施した。この時電熱炉には純度99.999%以上の窒素ガスを20l/min流し続け、不活性雰囲気を保持し続けた。この不活性雰囲気600℃の熱処理に依り、チャンネル部に残留していたアモルファス・シリコン薄膜は結晶化し、チャンネル部を構成するシリコン薄膜811へと改変される。(図8(e))続いてこの基板を再びECR-PECVD装置に入れ、該装置を用いて熱処理が施された基板に水素プラズマを照射した。この時、基板温度は300℃、マイクロ波出力2000Wで水素を100SCCM流して水素プラズマを立てた。この状態で反応室内の圧力は1.97mtorrで有った。水素プラズマ照射は45分間行なった。

【0044】次にクロムをスパッター法で1500Å堆積し、パターニングに依りゲート電極812を形成した。この時シート抵抗値は1.36Ω/□で有った。その後、ゲート絶縁膜にコンタクトホールを開け、ソース・ドレイン取り出し電極813をスパッター法などで形成し、パターニングを行う事でトランジスタは完成する。(図8(f))本実施例ではソース・ドレイン取り出し電極材料として、膜厚8000Åのアルミニウムを用いた。この時のアルミニウムのシート抵抗値は42mΩ/□で有った。

【0045】この様にして試作した薄膜トランジスタ(TFT)の特性の一例 $V_{gs}-I_{ds}$ 曲線を図9の9-aに示した。ここで I_{ds} はソース・ドレイン電圧、 $V_{ds}=4V$ 、温度25℃で測定した。トランジスタ・サイズはチャンネル部の長さ $L=10\mu m$ 、幅 $W=10$

0 μ mで有った。Vds=4V、Vgs=10Vでトランジスタをオンさせた時のオン電流はIds=34.5 μ Aと良好なトランジスタ特性を有する薄膜半導体装置が得られた。又、このトランジスタの飽和電流領域より求めた電界効果移動度は12.52cm²/v \cdot secで有った。図9の9-bには比較の為に従来技術によって作成した薄膜半導体装置のトランジスタ特性を図示した。即ち、従来技術では、チャンネル部シリコン薄膜を減圧CVD法にて600℃で堆積し、酸素プラズマ照射を施さぬ他は総て本実施例と同一の工程で薄膜半導体装置を作成したもので有る。この時、減圧CVD法でチャンネル部シリコン薄膜を堆積する装置は本実施例でアモルファス・シリコン薄膜を堆積した装置と同一で有り、原料ガスのモノシランは24SCCM流し、反応炉内圧力は13.8mtorr、堆積速度は19.00Å/minで252Åの膜厚に堆積した。この従来のTFTのオン電流はIds=4.6 μ Aで電界効果移動度は4.40cm²/v \cdot secで有った。この他に、チャンネル部シリコン薄膜を同様に減圧CVD法で600℃にて堆積した後、ゲート絶縁膜堆積前に酸素プラズマ照射を施し、それ以外の工程は総て本実施例と同一の工程で薄膜半導体装置を作成し、TFT特性を測定した所、TFT特性は酸素プラズマ照射の有無でほとんど変化せず、酸素プラズマ照射を施したTFTのVgs-Ids曲線は図9の9-bと一致した。この時TFTのオン電流はIds=4.7 μ Aで、電界効果移動度は4.44cm²/v \cdot secで有った。即ち、チャンネル部シリコン薄膜を600℃にて減圧CVD法で堆積する従来技術では、酸素プラズマ照射の効果は非常に小さい。図9の9-cには別の従来技術に依り作成された薄膜半導体装置のTFT特性を図示した。この従来技術では、本実施例で酸素プラズマ照射を施さぬ他は総て本実施例と同一の工程で薄膜半導体装置を作成した物で有る。即ち、チャンネル部シリコン層として、まずアモルファス・シリコン薄膜を堆積し、その後600℃の熱処理をおこなうものの、ゲート絶縁層形成前に酸素プラズマ照射を施さなかった工程で有る。この従来技術に依り、作成されたTFTは-10Vのデプレッションを呈しており、立ち上がり特性も良くない。この薄膜半導体装置のオン電流はVds=4V、Vgs=10Vで12.1 μ Aで有り、電界効果移動度は9.94cm²/v \cdot secで有った。

【0046】こうした結果から本実施例が示した通り、いずれチャンネル部となるアモルファス・シリコン薄膜に酸素プラズマを照射し、その後熱処理を施してチャンネル部シリコン薄膜の結晶化を進めた時のみ、薄膜半導体装置のトランジスタ特性が大幅に向上する事が分かる。これはまずアモルファス・シリコン薄膜の表面が酸素プラズマで酸化される為、清浄なMIS界面が形成され、その後、結晶化が進められた為で有る。これにより従来技術で作成した薄膜半導体装置に比べ、本発明の実

施例が著しく良好な半導体特性を有する理由が分かる。

【0047】(参考例5) 絶縁性物質上にシリコン膜及び酸化硅素膜を形成した後、ドナー又はアクセプターとなる不純物をシリコン膜に添加して、シリコン膜に依る導電層を作成した。

【0048】本参考例5では基板として直径75mmの溶融石英基板を用いた。しかし、無論600℃程度の熱処理に耐え得る基板であるならば何で有っても構わない。例えば加工されたシリコン基板なども可能で有る。まず有機洗浄及び酸洗浄した基板上面に下地SiO₂膜をAPCVD法で堆積した。下地SiO₂膜の形成は基板温度300℃、シラン流量120SCCM、酸素840SCCM、窒素約140SLMで堆積した。この時の堆積速度は3.9Å/secで堆積時間は12分49秒で有った。次に参考例1にてチャンネル部シリコン膜を堆積するのに用いたLPCVD装置を用いて参考例1と同様な方法でシリコン膜を堆積した。即ち堆積温度550℃、シラン流量100SCCM、反応室内圧力を400mtorrにて11分20秒間シリコン膜を堆積した。こうして得られたシリコン膜の膜厚は252Åで有った。

【0049】次にこうして得られた基板に熱処理を施して、シリコン膜の結晶性を高めた。この熱処理方法は参考例1でシリコン膜104の結晶性を高める為に施した熱処理と同一で有る。即ち、窒素雰囲気下600℃で23時間の熱処理を行った。熱処理終了後、このシリコン膜はレジストでパターニングされ、さらにCF₄とO₂の混合プラズマに依りエッチングされ、シリコン膜の配線パターンが作成された。

【0050】続いてこの基板を濃度60%の沸騰硝酸にて洗浄し、更に1.67%弗化水素酸水溶液に20秒間浸して、シリコン膜上の自然酸化膜を取り除き、清浄シリコン表面を出現させた後、直ちにECR-PECVD装置にて酸化硅素膜を1500Åの厚さに堆積した。ここで酸化硅素膜の堆積は参考例1の本発明にてゲート絶縁膜を形成する方法と全く同一の方法で行った。次にイオン打ち込み装置を用いてドナー又はアクセプターとなる不純物をシリコン膜で作成した配線に添加した。本参考例5では不純物として燐を選びn型導電層の作成を目指したが、無論他元素もその目的に応じて可能で有る。本参考例5ではバケットタイプの質量非分離型のイオン注入装置を用いて不純物イオンの添加を施した。原料ガスとして水素中に希釈された濃度5%のホスフィンを用い、加速電圧110KVで3 \times 10¹⁵1/cm²の濃度に酸化硅素膜を通じて打ち込んだ。次にこの基板を窒素雰囲気下で300℃に保たれている炉に挿入して熱処理を施した。熱処理時間は丁度一時間で有った。300℃、一時間の熱処理終了後、酸化硅素膜にコンタクトホールを開けし、アルミニウムで取り出し電極を作成した。こうして作成された不純物添加シリコン膜配線の抵抗を測定した所、シート抵抗値として、95%の信頼係数で

(71 ± 15) $k\Omega/\square$ が測定された。一般に数百Åの膜厚しか持たぬ薄膜に不純物イオンを添加して、300℃程度の低温で添加イオンを活性化して導電層を得る事は不可能と信じられていた。しかるに、本発明では熱処理を施されたシリコン膜の膜質を、シリコン膜上にECR-PECVD法で堆積した酸化硅素膜で被覆する事に依り、シリコン膜表面の捕獲密度を低減させる等のシリコン膜質改善に成功した為、電子散乱密度を低下させ、薄膜導電層の作成が初めて可能となった。この事を従来技術に依るシリコン膜と比較し、本発明の優位性を明らかにする。

【0051】まず第一にシリコン膜をLPCVD法にて600℃で堆積した後、ECR-PECVD法で酸化硅素膜を形成した従来技術のシリコン膜に不純物を添加し、300℃の低温活性化でシリコン膜導電層の作成を試みた。ここではシリコン膜を600℃で、モノシランを12.5SCCM流し、反応室内圧力を9.2mtorrで263Åの膜厚に堆積した他は、本参考例5の本発明と全く同一の工程で不純物添加シリコン膜配線を作成した。こうして得られた従来技術のシリコン膜のシート抵抗は基板内5ヶ所を測定して総て1GΩ/□以上で事実上電流は全く流れなかった。

【0052】第二にシリコン膜は本参考例5の本発明と全く同様に600℃の熱処理を施して作成し、その後APCVD法で酸化硅素膜を形成した従来技術のシリコン膜に不純物を添加し、300℃の低温活性化でシリコン膜導電層の作成を試みた。ここで酸化硅素膜はAPCVD法で基板温度を300℃に保ち、窒素中に20%シランを含んだ窒素・シラン混合ガスを30SCCM、酸素を420SCCM流し、約140SLMの希釈用窒素をこれらの原料ガスと共に流して、1500Åの膜厚に堆積した。これ以外は総て、本参考例5の本発明と全く同一の工程で不純物添加シリコン膜配線を作成した。こうして得られた従来技術のシリコン膜のシート抵抗値は95%の信頼係数で(175 ± 56) $k\Omega/\square$ で有った。その後この基板を再度ECR-PECVD装置に装着し、水素プラズマ処理を施した。水素プラズマ処理は基板温度300℃で水素を125SCCM流し、マイクロ波出力2000Wで30分間行った。水素プラズマ処理後、基板内5ヶ所の抵抗値を測定した所、2ヶ所のシート抵抗は1GΩ/□で以上で有り、残りの3ヶ所の平均値は158 $k\Omega/\square$ で標準偏差値は68 $k\Omega/\square$ で有った。

【0053】この様に600℃以下で熱処理されたシリコン膜上にECR-PECVD装置で形成された酸化硅素膜で被覆する事に依り、高膜質なシリコン膜が得られる事が分かる。この為、参考例1で示した様に本発明のシリコン膜を薄膜半導体装置のチャンネル部に用い、ECR-PECVD装置で形成された酸化硅素膜をゲート絶縁層に用いると特性の良い薄膜半導体装置が得られ、又本参考例5で示した様に本発明のシリコン膜に不純物

イオンを添加すると、低温で低抵抗のシリコン膜導電層を得る事が可能となる。従って本発明のシリコン膜は単に薄膜半導体装置に有効のみならず、電荷結合装置(CD)のゲート電極や配線など、あらゆる電子装置に使用される非単結晶シリコン膜に取って極めて有効に利用し得る。

【0054】(参考例6)参考例5でバケット型質量非分離型のイオン注入装置を用いて不純物イオンをシリコン膜に添加した工程を、質量分離型イオン注入装置に変えて質量数31の燐の一価イオンを打ち込む事に変更した他は、総て参考例5と全く同一の工程で、不純物添加シリコン膜導電層の作成を試みた。本参考例6では燐イオンを90KVで $3 \times 10^{15} 1/cm^2$ 打ち込んだ。こうして得られた不純物添加シリコン膜の抵抗を測定した所、基板内5ヶ所を総て1GΩ/□で実質的には全く電流は流れなかった。これは参考例5では、不純物の添加を質量非分離型のイオン注入装置を用い、原料ガスとして水素・ホスフィン混合ガスを使用した為、シリコン膜に燐元素添加時には必然的に水素イオンの添加が同時に行われ、イオン添加の際生じた欠陥が水素イオンで修復される為、本発明の良質なシリコン膜に限って、低温で低抵抗シリコン導電層が作成されたので有る。

【0055】(参考例7)図10(a)~(d)は本参考例7に於けるセルフ・アライン型スタガード構造のMIS型電界効果トランジスタを構成するシリコン薄膜半導体装置の製造工程を断面で示した図で有る。まず参考例1と同様基板1001を洗浄した後、下地保護膜1002としてSiO₂膜を2000Å程度堆積する。続いて第一のシリコン膜を1500Å程度堆積し、パターニングを行う事でパッドとなるシリコン膜1003を形成する(図10(a))。この第一のシリコン膜として本参考例7では参考例1でチャンネル部シリコン膜を堆積したLPCVD装置を用いて堆積温度600℃シラン流量12.5SCCMで1500Åに堆積したが、これ以外にも同じLPCVD装置を用いて堆積温度550℃程度でシリコン膜を堆積する事も、原料ガスとしてジシラン(Si₂H₆)を用いて堆積温度450℃程度で堆積する事も、PECVD法にて250℃程度でシリコン膜を堆積する事も可能で有る。工程最高温度600℃を越えぬ膜形成温度で有るならば、如何なる方法であっても構わない。次に第二のシリコン膜1004を堆積するが、この第二のシリコン膜の膜厚が300Å程度以上有り、不純物注入後のソース・ドレイン領域の抵抗値がトランジスタを動作させた時のチャンネル領域の抵抗値に比べて充分低ければ、第一のシリコン膜又はパッドとなるシリコン膜1003は必要とされない。本参考例7では第二のシリコン膜1004を参考例1でチャンネル部となるシリコン薄膜と同じ方法で堆積した。即ちLPCVD法にてモノシランを原料ガスとし、堆積温度550℃、シラン流量100SCCM堆積速度21.2Å/minで25

0Åの膜厚に堆積した。その後参考例1でシリコン膜の結晶性を高める為に行ったのと全く同一の熱処理を行った。即ち窒素雰囲気下600℃で23時間の熱処理を行った。(図10(b))。次に第二のシリコン膜のパターニングを行った後、参考例1の本発明と同様の方法でゲート絶縁層1005を形成した。即ち、ECR-PECVD法でSiO₂膜を1500Å堆積した。次にゲート電極となる金属膜などを形成する。本参考例7ではゲート電極材料として、2000Åの膜厚を有するクロム膜を用いた。クロム膜は基板温度180℃でスパッター法に依り形成された。成膜直後のクロムのシート抵抗値は994mΩ/□で有った。引き続きAPCVD法でクロム上に300℃の基板温度でSiO₂膜を3000Å堆積した。その後レジストでパターニングを行い、ゲート電極1006とSiO₂膜に依る保護キャップ層1007を形成し、不純物イオンを添加した。本参考例7では不純物として燐を選びn型薄膜半導体装置の作成を目指したが、無論他元素もその目的に応じて可能で有る。本参考例7では質量分析装置が付いていないイオン打ち込み装置を用いて不純物イオン添加を施した。原料ガスとして水素中に希釈された濃度5%のホスフィンを用い、加速電圧110kVで $5 \times 10^{15} \text{ 1/cm}^2$ の濃度に打ち込んだ。この様にして、第一のシリコン膜と第二のシリコン膜の一部はソース・ドレイン領域1008となり、又SiO₂膜に依る保護キャップ層1007が有るため、この下に位置する第二のシリコン膜はイオン添加されず、チャンネル部1009を構成するに至る(図10(c))。次に該基板を窒素雰囲気下350℃で2時間の熱処理を施し、添加不純物イオンの活性化を行った。その後層間絶縁膜としてSiO₂膜1010を5000Å堆積し、続いてコンタクト・ホールを開穴し、アルミニウムなどで配線1011をし、セルフ・アライン型薄膜半導体装置が完成する(図10(d))。

【0056】こうして作成したセルフ・アライン型薄膜半導体装置のトランジスタ特性を測定した所、 $L=W=10\mu\text{m}$ 、 $V_{ds}=4\text{V}$ 、 $V_{gs}=10\text{V}$ でオン電流は4.89μA、ソース・ドレイン電流の最小値は $V_{gs}=-3.5\text{V}$ の時0.21pA、又 $V_{gs}=-10\text{V}$ で定義したオフ電流は2.65pA、電界効果移動度 $\mu_0=26.1\text{cm}^2/\text{v} \cdot \text{sec}$ と極めて良好なセルフ・アライン型薄膜半導体装置が出来上がった。

【0057】比較の為にチャンネル部シリコン膜をLPCVD法で600℃で作成した他は本参考例7の本発明と全く同一の工程でセルフ・アライン型薄膜半導体装置を作成した。しかしながら参考例5で詳述した様に、従来のシリコン膜では薄膜部の添加不純物元素の活性化がなされず、薄膜部の不純物添加シリコン膜の抵抗が高過ぎ、それ故トランジスタのオン電流は47.9pAと非実用的となった。これに対し、本参考例7の本発明では特性変動の主因となる水素化プラズマ処理を排除し、且

つ低温工程で極めて良好なセルフ・アライン型薄膜半導体装置の作成に成功した。これは参考例2で示した如くチャンネル部シリコン膜半導体層の膜厚を500Å以下の薄膜化をして、基本的な半導体特性を向上せしめても尚参考例5の本発明に依る薄膜導伝性シリコン膜の作成に依り、薄膜部のソース・ドレイン領域の形成が低温で容易になされた賜物で有る。即ち、ドナー又はアクセプターとなる不純物の活性化は従来膜厚が1000Å程度以上有るシリコン膜に550℃程度以上の熱処理を加えねば達成し得なかった。この為、セルフ・アライン型薄膜半導体装置ではチャンネル部の膜厚も必然的に1000Å程度以上となり、特性も悪かった。その上、ゲート絶縁層とゲート電極が出来上がった後、添加不純物イオン活性化の目的で550℃程度以上の熱処理が施される為、ゲート絶縁膜の膜質劣化が生じ、水素化処理が必要不可欠で有った。又、ゲート電極として金属材料の使用が困難であった為、ゲート線の抵抗が高かったり、ゲート電極とゲート線を別々に作成する必要が有った。ところが本発明に依り、金属材料をゲート電極として使用出来、同時にばらつきの主因で有る水素処理を排除し、より簡易な製造方法で高特性の薄膜半導体装置を安定的に製造し得る事に成功した。

【0058】

【発明の効果】以上述べて来た様に、本発明に依れば、ゲート絶縁膜は異なる2種類の酸化珪素膜からなり、しかもアモルファスシリコン膜上に酸素プラズマを照射して第1酸化珪素膜を形成し、前記第1酸化珪素膜上に減圧CVD法により第2酸化珪素膜を形成する形成し、しかる後に前記アモルファスシリコン膜を結晶成長させることにより、チャンネル領域となるシリコン膜とゲート絶縁膜との界面を清浄化することが可能となり、また第1及び第2酸化膜を形成した後に、結晶成長させることにより、シリコン膜の良好な膜質が得られ、半導体装置の特性を向上させることができる。

【図面の簡単な説明】

【図1】 本発明の一参考例を示すシリコン薄膜半導体装置製造の各工程に於ける素子断面図。

【図2】 本発明の実施例で用いた電子サイクロトロン共鳴プラズマCVD装置の概要を示す図。

【図3】 本発明の効果を示す図。

【図4】 本発明の効果を示す図。

【図5】 本発明の一参考例を示すシリコン薄膜半導体装置の素子断面図。

【図6】 本発明の効果を示す図。

【図7】 本発明の一参考例を示すシリコン薄膜半導体装置製造の各工程に於ける素子断面図。

【図8】 本発明の一実施例を示すシリコン薄膜半導体装置製造の各工程に於ける素子断面図。

【図9】 本発明の効果を示す図。

【図10】 本発明の一参考例を示すシリコン薄膜半導

体装置製造の各工程に於ける素子断面図。

【符号の説明】

101…下地基板	708…ソース・ドレイン領域
102…下地保護膜	709…チャンネル部シリコン膜
103…ソース・ドレイン領域	710…層間絶縁膜
104…シリコン薄膜	711…配線
105…チャンネル部シリコン薄膜	801…絶縁基板
106…ゲート絶縁膜	802…下地SiO ₂ 膜
107…ゲート電極	803…不純物を含んだシリコン薄膜
108…層間絶縁膜	804…ソース・ドレイン領域
109…ソース・ドレイン取り出し電極	805…アモルファス・シリコン薄膜
201…導波管	806…いずれチャンネル部になる位置に丈残されたアモルファス・シリコン薄膜
202…反応室	807…酸素プラズマ
203…ガス導入管	808…アモルファス・シリコン薄膜を酸化して形成したSiO ₂ 膜
204…外部コイル	809…いずれチャンネル部となる残留しているアモルファス・シリコン薄膜
205…基板	810…ECR-PECVD法で堆積したSiO ₂ 膜
206…ヒータ	811…チャンネル部を構成するシリコン薄膜
207…ガス導入管	812…ゲート電極
501…ソース・ドレイン領域	813…ソース・ドレイン取り出し電極
502…ゲート電極	1001…基板
503…ソース・ドレイン領域	1002…下地保護膜
504…ゲート電極	1003…パッドとなるシリコン膜
505…ゲート電極	1004…第二のシリコン膜
506…マスク材	1005…ゲート絶縁層
507…ソース・ドレイン領域	1006…ゲート電極
701…基板	1007…保護キャップ層
702…下地保護膜	1008…ソース・ドレイン領域
703…パッドとなるシリコン膜	1009…チャンネル部シリコン膜
704…第二のシリコン膜	1010…層間絶縁膜
705…ゲート絶縁層	1011…配線
706…ゲート電極	
707…レジスト	

フロントページの続き

(51)Int.Cl.⁶

識別記号

FI

// H01L 21/316

H01L 29/78

616M

618C

627G